

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日:
2003 年 8 月 7 日 (07.08.2003)

PCT

(10) 国際公開番号:
WO 03/065377 A1

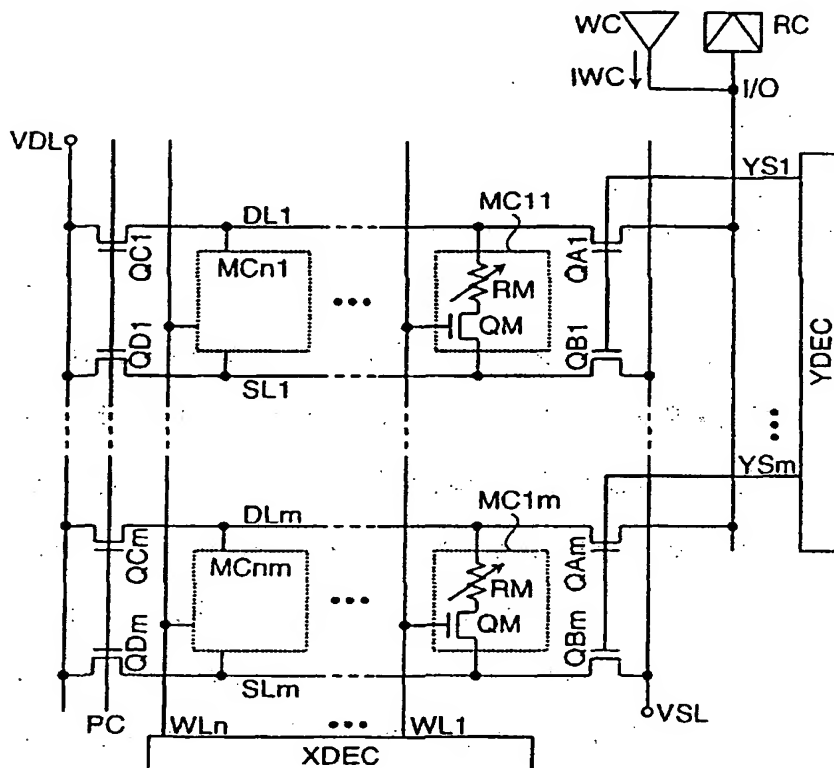
- (51) 国際特許分類: G11C 11/21, 13/00, H01L 27/10
(21) 国際出願番号: PCT/JP02/09438
(22) 国際出願日: 2002 年 9 月 13 日 (13.09.2002)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2002-24919 2002 年 2 月 1 日 (01.02.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目 6 番地 Tokyo (JP).

- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 半澤 悟 (HAN-ZAWA, Satoru) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内 Tokyo (JP). 伊藤 清男 (ITO, Kiyoo) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内 Tokyo (JP). 松岡 秀行 (MATSUOKA, Hideyuki) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内 Tokyo (JP). 寺尾 元康 (TERAO, Motoyasu) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内 Tokyo (JP). 阪田 健 (SAKATA, Takeshi) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内 Tokyo (JP).

[続葉有]

(54) Title: STORAGE DEVICE

(54) 発明の名称: 記憶装置



(57) Abstract: In a memory array consisting of memory cells using a variable resistance storage element and a selection transistor, when current flows in the selection transistor in all the memory cells on the selection word line, non-selection data line should not be driven. For this, a source line parallel to the data line is provided, a pre-charge circuit is provided for driving the both equipotentially, and a circuit for selectively driving the source line is arranged. With this configuration, it is possible to create a current path and generate a read-out signal only in cells selected by the row and column. Thus, it is possible to realize a non-volatile memory such as a phase-change memory having a high integrity, a low noise, and low power consumption as compared to the conventional one.

[続葉有]



(74) 代理人: 作田 康夫 (SAKUTA, Yasuo); 〒100-8220 東京都千代田区丸の内一丁目5番1号 株式会社日立製作所内 Tokyo (JP).

添付公開書類:
— 国際調査報告書

(81) 指定国 (国内): CN, JP, KR, US.

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

(57) 要約:

可変抵抗による記憶素子と選択トランジスタとを用いたメモリセルで構成されるメモリアレイにおいて、選択ワード線上の全てのメモリセル中で選択トランジスタが導通することにより、非選択データ線が駆動されるのを回避することが課題である。この課題を解決するために、データ線に平行なソース線を設け、双方を等電位に駆動するプリチャージ回路と、ソース線を選択的に駆動する回路を配置する。この構成により、ロウ及びカラムで選択されたセルにのみ電流経路を生成して読み出し信号を発生することができる。このため、従来と比べて、低電力かつ低ノイズで、集積度の高い相変化メモリなどの不揮発メモリを実現することができる。

明 細 書

記憶装置

5 技術分野

本発明は記憶装置に関し、記憶情報に対応して抵抗に差ができる素子から成るメモリセルを含む記憶装置、特に、カルコゲナイド材料の状態変化を利用して情報を記憶し、その情報による抵抗差を検出して情報を弁別するメモリセルを用いた高速、高集積、高信頼な相変化メモリを含む記憶装置に関する。

10

背景技術

この明細書で参照される文献のリストは以下の通りであり、文献の参照は文献番号をもってすることとする。[文献1]：アイ・イー・イー・イー、インターナショナル・ソリッドステート・サーキット・カンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ、第122頁から第123頁(2001年) (IEEE International Solid-State Circuits Conference, DIGEST OF TECHNICAL PAPERS, pp. 122-123, 2001)、[文献2]：米国特許第5883827号 (USP5, 883, 827)、[文献3]：アイ・イー・イー・イー、インターナショナル・エレクトロン・デバイス・ミーティング、テクニカル・ダイジェスト、第15 803頁から第806頁(2001年) (IEEE International Electron Devices meeting, TECHNICAL DIGEST, pp. 803-806, 2001)、[文献3]：米国特許第6314014号 (USP6, 314, 014)。

[文献1]は、マグネトレジスティブ・ランダム・アクセス・メモリ (MRAM) の高感度なセンス回路を記載する。MRAMは、磁気抵抗効果を利用して25 情報を記憶するが、わずか数十%の磁気抵抗変化率に応じた微小な読み出し信号成分を判別するために、感度の高い読み取り(センス)動作が求められる。

〔文献2〕は、記憶素子自体に流れる電流によるジュール熱に応じて、記憶素子の結晶状態が変化することにより記憶情報が書き込まれるフェイズ・チェンジ・メモリ（相変化メモリ）を記載する。非晶質（アモルファス）化する際にジュール熱で600℃を越える温度にして一旦記録層を融解させるために、書き込み電流が大きいという課題があるが、結晶状態に応じて抵抗値が2桁から3桁も変化するという長所を持っている。このため、読み出し信号が大きく、センス動作が容易である。したがって、相変化メモリは、高集積で高速書き込み可能な不揮発性メモリを実現する可能性がある。

〔文献3〕は、いわゆる相変化メモリのマトリクス構造を記載する。そのFIG. 2Bには、ワード線とカラム選択信号で選択される複数のQREADを用いて、所定のワード線と所定のカラム線（データ線）との交点にあるメモリセルを選択する構成が開示される。

図2に〔文献2〕Fig. 12の相変化メモリの構成の略図を示す。即ち、当該相変化メモリは、メモリアレイとロウ（行）デコーダXDEC、カラム（列）デコーダYDEC、読み出し回路RC、書き込み回路WCで構成される。メモリアレイは、ワード線 WL_p ($p=1, \dots, n$) とデータ線 DL_r ($r=1, \dots, m$) の各交点にメモリセル MC_{pr} が配置されてなる。各メモリセルは、直列接続された記憶素子RMと選択トランジスタQMが、データ線DLと接地電位との間に挿入された構成である。ワード線WLが選択トランジスタのゲートに、カラム選択線 YS_r ($r=1, \dots, m$) が対応するカラム選択スイッチ QAr にそれぞれ接続される。

このような構成により、ロウデコーダXDECで選択されたワード線上の選択トランジスタが導通し、さらにカラムデコーダYDECで選択されたカラム選択線に対応するカラム選択スイッチが導通することにより、選択メモリセル内に電流経路が形成されて、共通データ線I/Oに読み出し信号が発生される。選択メモリセル内の抵抗値は、記憶情報によって差があるので、共通データ線I/Oに出力される電圧は記憶情報によって差が出る。この差を読み出し回路RCで

判別することにより、選択メモリセルの記憶情報が読み出される。

近年の携帯機器市場の拡大に伴い、フェロエレクトリック・ランダム・アクセス・メモリ（F e R A M）やフラッシュメモリに代表されるような不揮発性メモリの需要が高まっている。しかし、これらのメモリは、読み書き回数が制限されるなどの信頼度、動作速度や消費電力、集積度の面で、それぞれ課題がある。このため、高速かつ低電力の不揮発性メモリとして、前述した磁気抵抗効果を利用したマグネトレジスティブ・ランダム・アクセス・メモリ（M R A M）やフェイズ・チェンジ・メモリ（相変化メモリ）が注目されている。

本願発明者等は、本願に先立ち、M R A Mや相変化メモリの信号センス方式について検討した。その結果、図2に示したメモリアレイ構成には、以下の点について考慮がなされていないことに気がついた。動作中は、選択ワード線に接続されている全てのメモリセルの選択トランジスタが導通するので、非選択データ線の電位が接地電位でない場合には、非選択セル内にも電流経路が形成される。このため、多数の非選択データ線が充放電される場合があり、消費電力が増加する恐れがある。また、データ線間の容量カップリングノイズにより、選択されたデータ線上に現れた読み出し信号が隣接データ線から干渉を受け、安定な読み出し動作が困難な恐れがある。尚、M R A Mのメモリセルの読み出し動作における等価回路も図2と同じなので、上記の課題はM R A Mにも共通である。

本発明の課題は、これらの問題を解決することである。すなわち、本発明の目的は、選択ワード線上の全メモリセルのトランジスタが導通することによる問題を回避することである。

発明の開示

本発明の代表的な手段の一つを示せば以下の通りである。即ち、データ線に平行な制御線（ソース線）を設け、この制御線の電位を可変にする。例えば、

データ線と制御線の双方を等電位に駆動するプリチャージ回路と、選択制御線を駆動する回路を配置すれば、ロウ（行）及びカラム（列）で選択されたセルにのみ電流経路を生成して読み出し信号を発生することができる。

5 図面の簡単な説明

図 1 は本発明による記憶情報に応じ抵抗が変化する 1 個の記憶素子と 1 個の選択トランジスタで構成されるメモリセルを用いたメモリアレイの構成例を示す図、

図 2 は記憶情報に応じ抵抗が変化する 1 個の記憶素子と 1 個の選択トランジスタで構成されるメモリセルを用いたメモリアレイ構成の従来例を示す図、

図 3 は記憶素子の相変化に必要なパルス幅と温度との関係を示す図、

図 4 は記憶素子の電流－電圧特性を示す図、

図 5 は本発明のメモリアレイの読み出し動作タイミングを示す図、

図 6 は本発明のメモリアレイの書き込み動作タイミングを示す図、

15 図 7 は本発明のメモリアレイのレイアウトを示す図、

図 8 は図 7 のレイアウト図中に示したメモリアレイの構造を模式的に示す断面図、

図 9 は本発明のメモリアレイの別なレイアウトを示す図、

20 図 10 は図 9 のレイアウト図中に示した A-A' 線に沿った部分の構造を示す断面図、

図 11 は図 9 のレイアウト図中に示した B-B' 線に沿った部分の構造を示す断面図、

25 図 12 は本発明による記憶情報に応じて抵抗が変化する 1 個の記憶素子と 1 個の選択トランジスタで構成されるメモリセルを用いたメモリアレイの別の構成例を示す図、

図 13 は本発明による記憶情報に応じて抵抗が変化する 2 個の記憶素子と 2

個の選択トランジスタで構成されるメモリセルを用いたメモリアレイの別の構成例を示す図、

図 1 4 は図 1 3 のメモリアレイの読み出し動作タイミングを示す図、

図 1 5 は図 1 3 のメモリアレイの書き込み動作タイミングを示す図、

- 5 図 1 6 は本発明による記憶情報に応じて抵抗が変化する 1 個の記憶素子と 1 個の選択トランジスタで構成されるメモリセルを用いたメモリアレイの別の構成例を示す図、

図 1 7 は図 1 6 のメモリアレイの読み出し動作タイミングを示す図である。

10 発明を実施するための最良の形態

<実施例 1>

- 以下、本発明の実施例を図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが、典型的には公知の CMOS（相補型 MOS トランジスタ）等の半導体集積回路技術によって、単結晶シリコン
- 15 のような 1 個の半導体基板上に形成される。さらに、相変化を示すカルコゲナイド材料等が集積回路の作成技術にハイブリッドして作成される。

《メモリアレイ構成》

- 図 1 は、本発明によるメモリアレイの構成例を示している。同図では、メモリアレイの動作に必要なロウデコーダ XDEC、カラムデコーダ YDEC、読み出し
- 20 回路 RC、書き込み回路 WC も同時に示されている。この構成の特徴は、データ線に平行なソース線を設け、双方を等電位に駆動するプリチャージ回路と、選択ソース線を選択的に駆動する回路を配置することにより、選択されたワード線と選択されたソース線の交点にある選択セルにのみ電流経路を発生する点にある。

- 25 メモリアレイは、図 2 と同様に $n \times m$ ビットのメモリセルを有する構成が示されている。メモリセルを構成する素子は、図 4 に示した従来例と同じように、

選択トランジスタ QM とカルコゲナイド材料による可変抵抗による記憶素子 RM である。

ロウデコーダ XDEC は、ロウアドレスに応じたワード線 WL を選択する。また、カラムデコーダ YDEC は、カラムアドレスに応じたカラム選択線 YS を駆動する。

- 5 選択されたカラム選択線 YS に応じたカラム選択スイッチ QA が導通することにより、選択されたメモリセルは、共通データ線 I/O を介して読み出し回路 RC および書き込み回路 WC に接続される。ここで QA 1 ~ QA m は複数のデータ線 (DL 1 ~ DL m) の一つを選択して共通データ線に接続するための第 1 のスイッチ回路をなすとみることができる。また、QB 1 ~ QB m は複数のソース線 (DS 1 ~ DS m) の一つを選択してソース電圧供給線に接続するための
- 10 第 2 のスイッチ回路をなすと見ることができる。

- このメモリアレイ構成は、以下の三つの特徴を有する。第一は、データ線 DL に平行な複数（ここでは m 本）のソース線 SLr (r=1、…、m) が配置され、列方向のトランジスタ QM のソースがソース線 SL に共通に接続されている点である。
- 15 第二は、それぞれのソース線 SLr とソース電圧端子 VSL との間に複数（ここでは m 個）の NMOS トランジスタ QBr (r=1、…、m) が挿入され、これらのトランジスタが列デコーダで選択される点である。図 1 では、これらのゲートに対応するカラム選択線 YSr が直接接続されている例を示している。第三は、対応するデータ線 DL とソース線 SL をプリチャージ電圧 VDL に駆動する複数（こ
- 20 こでは m 個）の NMOS トランジスタ QCr および QDr (r=1、…、m) が配置され、これらのトランジスタのゲートにプリチャージイネーブル信号 PC が接続されている点である。このような構成により、プリチャージ電圧 VPC に駆動された複数のデータ線 DL およびソース線 SLの中から、選択したいデータ線に対応するソース線を駆動することができる。つまり、選択したいデータ線及びソース
- 25 線に接続されたメモリセルにのみ、電圧差を印加することができる。したがって、選択ワード線上の所望のメモリセルにのみ電流経路を形成し、選択データ

線にのみ読み出し信号を発生することが可能となる。

なお、プリチャージ回路はQC1、QD1～QDm、QDm全体と解することができ、QC1とQD1はDL1とSL1の対毎に設けられた要素プリチャージ回路と見ることができる。

5. 《記憶素子の特性》

記憶素子は、少なくともアンチモン (Sb) とテルル (Te) を含むGe-Sb-Te系、Ag-In-Sb-Te系などのカルコゲナイド材料を記録層の材料として用いている。カルコゲナイド材料を用いた相変化メモリの特性は、例えば、[文献3]で述べられている。この記憶素子に記憶情報'0'を書き込む場合、図3に示すように、素子をカルコゲナイド材料の融点Ta以上に熱してから急冷するようリセットパルスを印加する。リセットパルスを短くして与える全エネルギーを小さくし、冷却時間t1を短く、例えば約1nsに設定することにより、カルコゲナイド材料は高抵抗のアモルファス状態となる。逆に、記憶情報'1'を書き込む場合、記憶素子を融点よりも低く、ガラス転移点と同じかそれよりも高い結晶化温度Txより高い温度領域に保つようなセットパルスを印加することにより、カルコゲナイド材料は低抵抗の多結晶状態となる。結晶化に要する時間t2はカルコゲナイド材料の組成によって異なるが、例えば、約50nsである。同図に示した素子の温度は、記憶素子自身が発するジュール熱、および周囲への熱拡散に依存する。したがって、図4のI-V特性に示すように、書き込み情報に応じた値の電流パルスを記憶素子に印加することにより、記憶素子の結晶状態が制御される。同図は、カルコゲナイド材料を用いた記憶素子の動作原理を模式的に示しており、IW1からIW0の範囲内のセット電流を印加する場合に記憶情報'1'が書き込まれ、IW0以上のリセット電流を印加する場合に記憶情報'0'が書き込まれることを示している。ただし、どちらの状態を'0'、どちらの状態を'1'としても良い。以下では、同図に従い、四通りの書き込み動作を詳しく説明する。

第一に、初期状態‘1’の記憶素子に‘1’書き込みを行う場合、セット電流が印加されると、セット（結晶）状態の低抵抗曲線を進んで初期状態とセット領域との間を往復するので、状態が保持される。第二に、初期状態‘1’の記憶素子に‘0’書き込みを行う場合、リセット電流が印加されると、セット状態の低抵抗曲線を進んでリセット電流に達する。次に、ジュール熱により部分的に融解が始まるので、導電率が徐々に下がる。さらに、融解が進むと高抵抗状態になる。液相の記憶素子を急冷すると、アモルファス状態に相変化するので、液相時の抵抗よりも若干低いリセット（非晶質）状態の高抵抗曲線を進んで初期状態に戻る。第三に、初期状態‘0’の記憶素子に‘1’書き込みを行う場合、セット電流を印加すると、記憶素子の端子電圧がしきい電圧 V_{th} を超えた時に、低抵抗状態にスイッチする。スイッチング後は、ジュール熱によって結晶化が進行する。電流値がセット電流に達すると、結晶化領域が広がって相変化することにより、さらに抵抗値が下がるので、低抵抗曲線を進んで初期状態に戻る。途中から電圧－電流曲線の傾斜がゆるやかになるのは、低抵抗状態へスイッチングしていた領域がスイッチOFFとなり、結晶化による抵抗低下のみが残留するためである。第四に、初期状態‘0’の記憶素子に‘0’書き込みを行う場合、前述したスイッチング後にほとんど結晶化する時間はなく、スイッチングしたことによる低抵抗曲線を進んでリセット領域に達し、融解、急冷、固化して初期状態に戻る。

このような記憶素子の動作原理から、読み出し時には記憶情報を破壊しないようにするために、最高でもしきい電圧 V_{th} より低い電圧に抑制しながら動作しなければならない。実際には、しきい電圧は電圧印加時間にも依存し、時間が長いと低下する傾向があるため、読み出し時間内にしきい電圧を越えて低抵抗状態へのスイッチングが起こらない電圧にする必要がある。そこで、これらの原理に基づいた、図1に示したメモリアレイ構成を実現する動作を以下に説明する。

《読み出し動作》

次に、図5に従い、図1に示したアレイ構成を用いたメモリセルの読み出し動作について説明する。ここで、図5は、メモリセルMC11を選択する場合の動作波形を示している。

まず、待機状態において、プリチャージイネーブル信号PCが電源電圧VDD
5 (例えば1.5V) に保持されているので、NMOS トランジスタQCおよびQDによりデータ線DLおよびソース線SLがプリチャージ電圧VDLに維持される。ここでVDLは、VDDよりもトランジスタのしきい電圧だけ降下した値で、例えば1.0Vである。また、共通データ線I/Oも、読み出し回路RCによりプリチャージ電圧VDLにプリチャージされている。

- 10 読み出し動作が始まると、電源電圧VDDとなっているプリチャージイネーブル信号PCが接地電位VSSに駆動され、接地電位VSSとなっているカラム選択線YS1が昇圧電位VDH(例えば1.5以上)に駆動されることにより、トランジスタQA1、QB1が導通する。この時、データ線DL1は、共通データ線I/Oと等電位にあるのでプリチャージ電圧VDLに保持されるが、ソース線SL1はトラン
15 ジスタQB1によりソース電圧VSL(例えば0.5V)に駆動される。このソース電圧VSLとプリチャージ電圧VDLは、プリチャージ電圧VDLがソース電圧VSLよりも高く、その差は、抵抗RMの端子電圧が図4に示したような読み出し電圧領域の範囲内に収まるような関係に設定されている。次に、接地電位VSSとなっているワード線WL1が昇圧電位VDHに駆動されると、ワード線WL1上の全て
20 のメモリセルにおけるトランジスタQMが導通する。この時、記憶素子RMに電位差が生じたメモリセルMC11内に電流経路が発生し、データ線DL1および共通データ線I/Oが、記憶素子RMの抵抗値に応じた速さでソース電圧VSLに向かって放電される。同図では、記憶情報'1'を保持している場合の方が、記憶情報'0'の場合よりも抵抗値が小さいものとしているので、放電が速い。したがっ
25 て、記憶情報に応じた信号電圧が発生される。非選択メモリセルMC12~MC1mでは記憶素子RMの電位差が0なので、非選択データ線DL12~DL1mはプリチャ

ージ電圧 VDL に保持される。すなわち、ワード線 WL1 とソース線 SL1 により選択されたメモリセル MC11 のみが、データ線 DL1 を通じて読み出し電流を流す。

ここで、読み出し回路 RC で読み出し情報が弁別された後なら、ワード線 WL1 を立ち下げることができる。尚、この弁別が遅い場合にワード線 WL1 を立ち上

5 げ続けると、記憶情報'0'を読み出す場合においても、選択されたデータ線 DL1 がソース電圧 VSL 付近まで放電されてしまい、'0'読み出しの信号電圧と'1'読み出しの信号電圧との差が減少して、記憶情報を正しく読み出せなくなる場合がある。このような場合には、同図のように、'0'読み出しの場合のデータ線電圧が参照電圧 VDR を越える前のタイミングで、ワード線 WL1 を立ち下げることにより、誤動作を防止できる。ワード線を立ち下げて電流経路を遮断することにより、共通データ線 I/O 上の信号電圧が保持されるので、読み出し回路 RC は参照電圧 VDR を基準として発生された正または負の信号を弁別することが可能である。以上の読み出し動作が終了すると、共通データ線 I/O はプリチャージ電位 VDL に駆動されて、待機状態に戻る。

15 なお、待機状態において、メモリアレイのデータ線やソース線をフローティングとすると、読み出し動作開始時にデータ線と共通データ線を接続した際に、電圧が不定であるデータ線の容量が共通データ線から充電されてしまう。このため、同図ではワード線 WL1 に応じてカラム選択線 YS1 も立ち下げ、さらに接地電位 VSS となっているプリチャージイネーブル信号 PC を電源電圧 VDD に駆動することにより、データ線およびソース線をプリチャージ電位 VDL に駆動して待機状態としている。また、昇圧電位 VDH は、従来の DRAM において広く用いられているような電圧であり、電源電圧 VDD と NMOS トランジスタのしきい電圧 VTN を用いて、 $VDH > VDD + VTN$ の関係を満たすように設定されている。例えば相変化メモリの書き込み動作では、後述するように、読み出し動作より

20 25 も大きな電流を流す必要がある。このため、本発明では、ワード線 WL とカラム選択線 YS を昇圧電位 VDH に駆動して NMOS トランジスタの抵抗を下げるこ

により、正確な書き込み動作を行うことができる。また、プリチャージ電圧 VDL をソース電圧 VSL より高く設定することにより、選択ソース線を選択メモリセル中のトランジスタ QM のソースとし、記憶素子 RM の抵抗によらず、トランジスタのゲートソース間電圧を確保できる。なお、逆の電位関係であっても、その差が、図 3 に示したような読み出し電圧領域の範囲内に収まるように設定されているならば、同様の選択動作が可能である。

尚、図 5 は、ソース線 SL1 を駆動してからワード線 WL1 を駆動する例であるが、設計の都合によっては、ワード線 WL1 を駆動してからソース線 SL1 を駆動してもよい。この場合には、最初はワード線 WL1 が駆動されて選択トランジスタ QM が導通するため、記憶素子 RM の端子電圧は 0V に確保される。その後、ソース線 SL1 を駆動すると、記憶素子 RM の端子電圧は 0V から大きくなるが、その値はソース線 SL1 の駆動速度で制御可能で、前述した読み出し領域の範囲に収めることができる。同様に、ワード線 WL1 とソース線 SL1 を、ほぼ同時に駆動することもできる。また、ワード線 WL1 とソース線 SL1 のうちで、駆動タイミングの遅い方のパルスに先行してカラム選択線 YS1 を駆動すれば、I/O への出力待ち時間を減らせるので、アクセス時間が速くなる。もちろんこの場合には、図 1 に示したトランジスタ QA1 と QB1 を独立に駆動できるように結線を変えればよい。

以上、メモリセル MC11 を選択する例を示したが、同じデータ線上のメモリセルは、それらのワード線電圧が接地電位 VSS に固定されているので選択されることはない。また、他のデータ線とソース線は同じ電位 VDL なので、残りのメモリセルも非選択セルの状態に維持される。尚、上述の読み出し動作は、メモリセル内の抵抗差を検出する場合には、いかなるメモリセル動作にも共通に適用できることは明らかである。したがって、MRAM の場合にも効力を発揮する。

以上の説明では、待機状態のワード線を接地電位 VSS とし、選択状態のソー

ソース線を 0.5V といった正のソース電圧 VSL としている。この電圧関係は、非選択メモリセルを通じて流れる電流が動作に影響を及ぼさないように設定する。すなわち、ソース線が選択され、ワード線が非選択のメモリセル、例えばメモリセル MC11 を選択する際の非選択メモリセル MC21~MCn1 のトランジスタ QM が十分オフになるように設定すれば良い。ここで示したように、待機状態のワード線電圧を接地電位 VSS とし、ソース電圧 VSL を正の電圧とすることにより、トランジスタ QM のしきい値電圧を低くできる。場合によっては、選択されたソース線を接地電位 0V として、待機状態のワード線を負の電圧にすることも可能である。その場合にも、トランジスタ QM のしきい値電圧を低くできる。

10 待機時のワード線用に負電圧を発生させる必要があるが、選択時のソース線の電圧が、外部から印加される接地電位 VSS であるため安定させ易い。トランジスタ QM のしきい値電圧を十分高くすれば、選択時のソース線と待機状態のワード線を接地電位 0V としても良い。その場合、外部から印加される接地電位 VSS である上に、待機状態のワード線の容量が安定化容量として働くために、
15 選択時のソース線の電圧をさらに安定なものにできる。

さらに、ここでは、共通データ線 I/O に読み出された信号電圧を、読み出し回路 RC により弁別する動作を説明したが、共通データ線 I/O に流れる電流を弁別する動作も可能である。その場合、読み出し回路 RC に、例えば前述の〔文献 1〕に述べられているような、入力インピーダンスが小さいセンス回路を用
20 いる。そのような、電流をセンスする方式にすることにより、共通データ線の配線容量の影響が小さくなり、読み出し時間を短縮できる。

《書き込み動作》

さらに、図 6 に従い、図 1 に示したアレイ構成を用いたメモリセルの書き込み動作について説明する。但し、図 6 は、メモリセル MC11 を選択する場合の
25 動作波形である。

まず、メモリセル MC11 の選択動作は、読み出し動作と同じように行われる。

メモリセル MC11 が選択されると、書き込み回路 WC が共通データ線 I/O を駆動することにより、書き込み電流 IWC が発生される。‘0’書き込みの場合、図 4 に示した範囲の値に設定されたリセット電流がメモリセル MC11 に印加される。

リセット電流のパルス幅は短く、駆動後は直ちに待機状態に戻って、電流値が 0 となる。このようなリセット電流により、図 3 に示したようなリセットパルスと同じジュール熱が発生される。反対に、‘1’書き込みの場合、図 4 に示した範囲の値に設定されたセット電流が印加される。このパルス幅は約 50ns である。このようなセット電流により、図 3 に示したようなセットパルスと同じジュール熱が発生される。このように、書き込みパルスの印加時間と電流値は書き込み回路 WC で制御されるので、どちらの記憶情報を書き込む場合においても、メモリセルはセット電流のパルス幅だけ選択状態にある。

《メモリセル構造》

次に、メモリアレイの構造の例を説明する。この構造の特徴は、ワード線とデータ線及びソース線に対し、MOS トランジスタの活性領域を傾けて配置していることである。ソース線を第一金属層、データ線を第二金属層で配線し、データ線に対応してソース線を設けたメモリセル構造を実現している。

図 7 に、レイアウトを示す。同図で、FL は活性領域パターン、FM はソース線 SL や電源給電線などの第一金属層パターン、SM はデータ線 DL 用の第二金属層パターン、TM はカラム選択線 YS 用の第三金属層パターン、FG はシリコン基板上に形成されたトランジスタの第一ゲート電極パターン、FCT は第一金属層コンタクトパターン、SCT は第二金属層コンタクトパターン、TCT は第三金属層コンタクトパターン、WBF は記憶素子の下部電極層である。これらのパターンのパターンニングには、周知の光リソグラフィを用いることができる。なお、同図では、各下部電極層 WBF 上に記憶素子が形成されている。また、パターン

名の後の括弧内に対応するノード名を示している。例えば、メモリセル MC1m は、ワード線 WL1 とデータ線 DLm およびソース線 SLm との交点に示した位

置に配置されることは、容易に理解できる。

図 8 は、メモリアレイをデータ線に垂直方向から見た断面を模式的に示した図である。100 は P 型半導体基板、101 は P 型半導体基板内に埋め込まれた素子分離用の絶縁物、102 は図 7 中の活性領域パターン FL における N 型拡散層領域、103 は基板上に形成されたトランジスタのゲート酸化膜、104 は基板上に形成されたトランジスタのゲート電極、105 は基板上に形成されたトランジスタに絶縁膜で形成されたサイドウォールある。また、200 はソース線 SL や電源給電線などに用いられる第一金属層である。また、201 はデータ線 DL などに用いられる第二金属層、202 はカラム選択線 YS に用いられる第三金属層、203 は層間絶縁膜、204 は N 型拡散層領域 102 と第一金属層とを接続するコンタクト、205 は第一金属層と第二金属層とを接続するコンタクトである。さらに、208 は記憶素子 RM の下部電極となるタングステン層、304 は記憶素子 RM となるカルコゲナイド材料、305 は絶縁膜、306 は下部電極 208 と N 型拡散層領域 102 とを接続するコンタクトである。ここで、図 8 では、アレイ端からデータ線 DLm とソース線 SLm を見たものとして層名の後の括弧内にノード名を示している。例えば、図 8 中の 104 で示されたゲート電極のノード名によって、選択トランジスタおよびプリチャージ用トランジスタ QCm、QDm の配置が容易に理解できる。

金属層とコンタクト、下部電極層 208 は、上層部を形成する際の熱処理による電気特性の劣化と、多数回書換え時のカルコゲナイド材料と電極との化学反応や相互拡散を防ぐために、例えば融点の高いタングステンで形成される。また、コンタクトは、サイドウォール 107 の隙間を埋め込むように形成される。この加工技術は、従来の DRAM で広く用いられている自己整合プロセスと呼ばれるものである。

本実施例による記憶素子は、図 8 に示したような絶縁膜 305 を用いて、カルコゲナイド材料 304 と下部電極 208 との接触面積を小さくしているので、抵抗

値が大きい。このため、小さな電流で高いジュール熱を発生することができるので、低電力の書き込み動作が可能な相変化メモリを実現することができる。また、図 7 に示したレイアウトにより、ワード線を最小ピッチの $2F$ (F は最小加工寸法)、データ線を、ワード線の 1.5 倍の $3F$ ピッチでそれぞれ配置できるので、 F の 2 乗の 6 倍の相変化メモリセルを実現することができる。

《本実施例の効果》

以上で述べたメモリアレイおよびメモリセルの構成と動作による効果を、以下にまとめる。第一に、本実施例によるメモリアレイは、図 1 に示したようにデータ線 DL に平行なソース線 SL が設けられ、メモリセル内の選択トランジスタ QM のソースが対応するソース線 SL に接続された構成とすることにより、読み出し動作における消費電力を低減することができる。具体的には、データ線 DL およびソース線 SL に選択トランジスタ QA 、 QB がそれぞれ配置され、さらにプリチャージ用トランジスタ QC 、 QD がそれぞれ配置される。このような構成において、選択したデータ線に対応するソース線をソース電圧 VSL に駆動することができる。このため、選択ワードと選択ソース線の交点のセルにのみ電流経路を形成し、選択データ線にのみ読み出し信号を発生することができる。したがって、非選択データ線の充放電を抑制することにより、例えば相変化メモリや $MRAM$ の読み出し動作における消費電力を低減することができる。なお、相変化メモリに本発明を適用した場合、書き込み動作においても読み出し動作と同様の選択動作が行われるので、全体として低電力の相変化メモリを実現することができる。

第二に、本実施例によるメモリアレイは、第一の効果で述べたような選択動作により非選択データ線の電位が保たれるので、データ線間の容量カップリングによるノイズが小さく、安定した読み出し信号を発生することができる。したがって、読み出し動作の安定した相変化メモリを実現することができる。

《縦型トランジスタを用いたメモリセル構造》

次に、メモリアレイの構造の別な例を説明する。この構造の特徴は、図 1 に示したサブアレイ内の選択トランジスタ QM として、縦型構造の MOS トランジスタを用いていることである。

図 9 に、レイアウトを示す。図 7 と同様に、FL は活性領域パターン、FM はソース線 SL などの第一金属層パターン、SM はデータ線 DL 用の第二金属層パターン、TM はカラム選択線 YS 用の第三金属層パターン、FG はシリコン基板上に形成されたトランジスタの第一ゲート電極パターン、SG はワード線 WL すなわち縦型トランジスタの第二ゲート電極パターン、FCT は第一金属層コンタクトパターン、SCT は第二金属層コンタクトパターン、TCT は第三金属層コンタクトパターンである。ここで、第二ゲート電極パターン SG と第二金属層パターン SM の交差している領域に縦型トランジスタとカルコゲナイドが積層されて、メモリセルが作られている。これらのパターンのパターンニングには、周知の光リソグラフィを用いることができる。なお、同図では、A-A'線がデータ線 DL_m 上に、B-B'線がデータ線 WL1 上に示されているものとしてパターン名の後の括弧内に対応するノード名を示している。例えば、メモリセル MC1_m は、ワード線 WL1 とデータ線 DL_m との交点に示した位置に配置されることは、容易に理解できる。

図 10 は、図 9 に示した A-A'線に沿った部分の断面（以下、A-A'断面と呼ぶ）を示している。同様に、図 11 は、図 9 に示した B-B'線に沿った部分の断面（以下、B-B'断面と呼ぶ）を示している。これらの図では、100 は P 型半導体基板、101 は P 型半導体基板内に埋め込まれた素子分離用の絶縁物、102 は図 9 中の活性領域パターン FL における N 型拡散層領域、103 は基板上に形成されたトランジスタのゲート酸化膜、104 は基板上に形成されたトランジスタのゲート電極、105 は基板上に形成されたトランジスタに絶縁膜で形成されたサイドウォールある。また、200 はソース線 SL や電源給電線、共通データ線 I/O など

カラム選択線 YS に用いられる第三金属層、203 は層間絶縁膜、204 は N 型拡散層領域 102 と第一金属層とを接続するコンタクト、205 は第一金属層と第二金属層とを接続するコンタクト、206 は第二金属層と第三金属層とを接続するコンタクト、207 は第一金属層と基板上に形成されたトランジスタのゲート電極 104 とを接続するコンタクトである。さらに、301 は縦型トランジスタ PM のソース電極となる N 型ポリシリコン、302 は縦型トランジスタ PM のチャネルとなる不純物が添加されていない真性ポリシリコン、303 は縦型トランジスタ PM のドレイン電極となる N 型ポリシリコン、304 は記憶素子 RM となるカルコゲナイド材料、305 は絶縁膜、306 は縦型トランジスタの側壁に形成されたゲート酸化膜、307 は縦型トランジスタのゲート電極すなわちワード線 WL、308 はデータ線 DL とワード線 WL との間に形成された層間絶縁膜、309 は側壁酸化膜である。ここで、図 1.0 および図 1.1 では、図 9 と同様に、A-A' 線がデータ線 DLm 上に、B-B' 線がデータ線 WL1 上に示されているものとして層名の後の括弧内にノード名を示している。例えば、図 1.0 中の 104 で示されたゲート電極のノード名によって、トランジスタ QAm、QBm、QCm、QDm のゲート電極の配置が容易に理解できる。

このように縦型トランジスタを用いることにより、ワード線とデータ線の各交点に形成された所謂クロスポイントセルにできる。すなわち、ワード線とデータ線を最小加工寸法 F で加工すると、メモリセルの面積が、F の 2 乗の 4 倍となる。したがって、集積度の高い、大容量の相変化メモリを実現することができる。

ここで用いている縦型トランジスタは、オフ状態では、チャネル領域である真性ポリシリコン 302 が完全に空乏化し、いわゆる完全空乏型 SOI (Silicon On Insulator) トランジスタとして動作する。そのため、基板上の MOS トランジスタに比べて、しきい値電圧の調整が困難である。図 5 に示した読み出し動作に関連して説明したように、選択状態のソース線の電位に対して待機状態

のワード線の電位を低くした電圧設定は、この縦型トランジスタのしきい値電圧が低くて良いため、好適である。

以上、1個のカルコゲナイド材料による記憶素子と1個のトランジスタとで構成されるメモリセルを有する相変化メモリについて主に説明してきた。しかし、メモリセルの構成は、これに限定されない。本発明の適用範囲は、すでに述べたように相変化メモリに限らず、記憶情報に応じてメモリセルの抵抗値が異なり、データ線を介して流れる電流を検出することにより記憶情報を読み出すような相変化メモリ以外のメモリにも、本発明を適用できる。例えば、磁気抵抗変化率が低いMRAMに本発明を適用した場合、低ノイズの読み出し動作が可能であるので、センスアンプに求められる負担を軽減できる。

<実施例2>

本実施例では、メモリアレイの別の構成と動作を説明する。図12は、本実施例によるメモリアレイを示しており、図1と同様に $n \times m$ ビットのメモリセルを有する構成が示されている。メモリセルを構成する素子は、図4に示した従来例と同じように、選択トランジスタQMとカルコゲナイド材料を用いた可変抵抗による記憶素子RMである。本実施例の特徴は、図1では一本のデータ線毎にソース線を配置していたのに対して、複数のデータ線毎にソース線を配置し、さらに複数の共通データ線に規則的にカラム選択スイッチを接続することにより、複数のメモリセルから記憶情報を同時に読み出す点にある。図12では、一例として、二本のデータ線毎にソース線を配置し、さらに二本の共通データ線を配置した構成が示されている。以下では、図1と異なる点に注目しながら図12に示したメモリアレイ構成について説明する。

複数（ここでは t 本）のソース線SLC $_q$ ($q=1, \dots, t$) は二本のデータ線毎に配置され、列方向に二列のメモリセルにおけるトランジスタQMのソースがソース線SLC $_q$ に共通に接続される。ここで、ソース線SLC $_q$ の本数 t とデータ線DL $_r$ ($r=1, \dots, m$)の本数 m との間には、 $m=2t$ の関係が成り立っている。それぞ

れのソース線 SLC_q とソース電圧端子 VSL との間には、複数（ここでは t 個）の NMOS トランジスタ QBC_q ($q=1, \dots, t$) が挿入される。これらのトランジスタは、ソース線 SLC_q に対応する二本のデータ線 $DL(2q-1)$ 、 $DL(2q)$ が選択される場合、カラムデコーダ $YDEC$ により、カラム選択スイッチ $QA(2q-1)$ 、 $QA(2q)$ と共に選択される。例えば、ソース線 SLC_1 に対応する二本のデータ線 DL_1 、 DL_2 が選択される場合、トランジスタ QBC_1 がトランジスタ QA_1 、 QA_2 と共に選択される。また、ソース線 SLC_q には、プリチャージ電圧 V_{DL} に駆動する複数（ここでは t 個）の NMOS トランジスタ QDC_q ($q=1, \dots, t$) が配置される。さらに、カラム選択スイッチ $QA(2q-1)$ 、 $QA(2q)$ は、奇数番めのデータ線 $DL(2q-1)$ を共通データ線 I/O_1 、偶数番めのデータ線 $DL(2q)$ を共通データ線 I/O_2 に接続するようにそれぞれ接続される。共通データ線 I/O_1 と I/O_2 には、読み出し回路 RC_1 、 RC_2 および書き込み回路 WC_1 、 WC_2 がそれぞれ配置される。

このような構成により、選択する二つのメモリセルの各々に対して、図 5 と同じような読み出し動作が可能となる。すなわち、プリチャージ電圧 V_{DL} に駆動された複数のデータ線 DL およびソース線 SLC の中から、選択したい二本のデータ線に対応するソース線を駆動することにより、選択したいデータ線対及びソース線に接続されたメモリセルにのみ、電圧差を印加する。次に、ワード線を選択することにより、所望の二つのメモリセルにのみ電流経路を形成し、選択する二本のデータ線にのみ読み出し信号を発生する。さらに、これらの読み出し信号を、二本の共通データ線 I/O_1 、 I/O_2 を介した二つの読み出し回路 RC_1 、 RC_2 でそれぞれ弁別することにより、2 ビットの記憶情報を同時に読み出す。書き込み動作の場合も、選択する二つのメモリセルの各々に対して、図 6 と同じような書き込み動作が可能となる。すなわち、読み出し動作と同じような選択動作を行い、二つの書き込み回路 WC_1 、 WC_2 を用いて共通データ線 I/O_1 、 I/O_2 に書き込み電流 I_{WC_1} 、 I_{WC_2} をそれぞれ発生することにより、2 ビットの記憶情報を同時に書き込む。

以上の本実施例により、図1に示したメモリアレイおよびメモリセルの構成と動作による効果に加えて、次の三つの効果が得られる。第一に、複数のデータ線がソース線とカラム選択スイッチを共有することにより、トランジスタ数が減るので、記憶装置のレイアウト面積を低減できることである。

5 第二に、二つのカラム選択スイッチを同時に選択し、選択したい二本のデータ線に対応するソース線を駆動することにより、所望の二つのメモリセルにのみ電流経路を形成するような選択動作ができる点である。具体的には、2ビットのメモリセルを同時に選択することができるので、語構成の大きな相変化メモリやプリフェッチ動作を適用してデータ転送レートを向上する場合の相変化メモリに好適なメモリアレイを実現することができる。

10 第三に、図9に示したような構成の相変化メモリセルによるメモリアレイに本発明を適用した場合、ソース線SLCの抵抗を低減する効果が得られる点である。すなわち、ソース線SLCを二本のデータ線毎に配置することにより、ソース線ピッチが4Fとなるので、ソース線幅を3Fに拡張することができる。この場合のソース線幅は、メモリセル一つあたりに換算して3/2倍されたことになるので、ソース線の抵抗は、線幅に反比例して2/3に低減される。したがって、ソース線SLCの時定数が低減されることにより、さらに高速の相変化メモリを実現することが可能となる。

図12では、二本のデータ線毎にソース線を平行に配置する例を示したが、20 データ線の数はいかに限定されず、さらに多数のデータ線毎にソース線を配置することができる。この場合、同時に選択するデータ線の数だけ共通データ線、読み出し回路、書き込み回路をそれぞれ設ければ、本発明は、さらに語構成の大きなメモリや高データ転送レートのメモリを実現するのに好適である。また、相変化メモリと同様に記憶情報に応じてメモリセルの抵抗値が異なり、データ25 線を介して流れる電流を検出することにより記憶情報を読み出すような相変化メモリ以外のメモリにも、本発明を適用できる。例えば、MRAMにも本発

明を適用できて、同様の効果を得ることができる。

<実施例 3>

本実施例では、メモリアレイのさらに別の構成と動作を説明する。本実施例によるメモリアレイの特徴は、図 12 に示したメモリアレイ構成を応用して、相補の記憶情報を保持する所謂ツインセルを有する点にある。以下では、この点に注目しながら本実施例によるメモリアレイ構成と動作を説明する。

図 13 は、一例として、 $n \times m$ ビットのツインセル MCW_{pr} ($p=1, \dots, n, r=1, \dots, m$) を有する構成を示している。ツインセル MCW_{pr} は、ワード線 WL_p ($p=1, \dots, n$) と複数 (ここでは m 組) のデータ線対の各交点に配置される。複数のデータ線対は、複数のトゥルー・データ線 $DLrT$ ($r=1, \dots, m$) と、トゥルー・データ線 $DLrT$ と反対極性の信号が発生される複数のバー・データ線 $DLrB$ ($r=1, \dots, m$) でそれぞれ構成される。また、複数 (ここでは m 本) のソース線 $SLCr$ ($r=1, \dots, m$) が、一組のデータ線対毎に配置される。

ツインセルは、二つの選択トランジスタ QMT 、 QMB とカルコゲナイド材料を用いた可変抵抗による二つの記憶素子 RMT 、 RMB で構成される。まず、直列接続した記憶素子 RMT と選択トランジスタ QMT をトゥルー・データ線 DLT とソース線 SLC との間に挿入することにより、一方の極性の記憶情報を保持するメモリセルが構成される。また、直列接続した記憶素子 RMB と選択トランジスタ QMB をバー・データ線 DLB とソース線 SLC との間に挿入することにより、一方のメモリセルとは反対極性の記憶情報を保持する他方のメモリセルが構成される。このような構成により、相補の記憶情報を保持するツインセルを実現することができる。なお、選択トランジスタ QMT および QMB には、図 8 に示したように基板上に形成したプレーナ型トランジスタや図 10 に示したような縦型トランジスタを適用する。

共通データ線 I/OT および I/OB は、データ線対に応じて対をなし、読み出し回路 RCD と書き込み回路 WCD がそれぞれ配置される。共通データ線 I/OT と各

トゥルー・データ線 $DLrT$ との間には、複数（ここでは m 個）のカラム選択スイッチ $QATr$ ($r=1, \dots, m$)、共通データ線 I/OB と各バー・データ線 $DLrB$ との間には、複数（ここでは m 個）のカラム選択スイッチ $QABr$ ($r=1, \dots, m$) がそれぞれ挿入される。また、データ線対とプリチャージ電圧端子 VDL との間には、

5 データ線対をプリチャージ電圧 VDL に駆動する複数（ここでは m 個）の NMOS トランジスタ $QCTr$ および $QCB r$ ($r=1, \dots, m$) がそれぞれ挿入される。

各々のソース線 $SLCr$ とソース電圧端子 VSL との間には、図 1 2 と同様に、ソース線 $SLCr$ をソース電圧 VSL に駆動する複数（ここでは m 個）の NMOS トランジスタ $QBCr$ ($r=1, \dots, m$) がそれぞれ配置される。また、ソース線 $SLCr$ と
10 プリチャージ電圧端子 VDL との間には、ソース線 SLC をプリチャージ電圧 VDL に駆動する複数（ここでは m 個）の NMOS トランジスタ $QDCr$ ($r=1, \dots, m$) がそれぞれ配置される。これらのトランジスタのうち、カラム選択スイッチ $QATr$ および $QABr$ の各々はデータ線対に応じて対をなし、図 1 2 に示したメモリアレイと同様に、対応するトランジスタ $QBCr$ と共に、列デコードで選択される。

15 図 1 3 では、これらのゲートに対応するカラム選択線 YSr ($r=1, \dots, m$) が直接接続されている例を示している。また、トランジスタ $QCTr$ および $QCB r$ 、 $QBCr$ のゲートには、プリチャージイネーブル信号 PC が共通に接続される。

図 1 4 は、本実施例によるメモリアレイの読み出し動作において、ツインセル $MCW11$ を選択する場合の動作波形を示している。まず、プリチャージ電圧 VDL
20 に駆動された複数のデータ線 DL およびソース線 SL の中から、選択したいデータ線対に対応するソース線 $SLC1$ を駆動する。すると、選択したいデータ線対及びソース線に接続されたメモリセルにのみ、電圧差が印加される。そこで、ワード線 $WL1$ を選択することにより、所望のメモリセル $MCW11$ にのみ電流経路を形成し、選択データ線 $DL1T$ および $DL1B$ にのみ相補の読み出し信号を発生す
25 る。さらに、相補の読み出し信号を共通データ線 I/OT および I/OB を介した読み出し回路 RCD で弁別することにより、記憶情報を読み出す。なお、図 5 につ

いて説明したように、ワード線 WL1 を立ち上げ続けると、低抵抗状態のメモリセルで駆動されている一方のデータ線がソース電圧 VSL 付近まで放電されてしまい、高抵抗状態のメモリセルで駆動されている他方のデータ線との信号電圧差が減少してしまう。このような動作を防ぐために、図 14 のように、高抵抗状態のメモリセルで駆動されている他方のデータ線電圧が参照電圧 VDR を越える前のタイミングで、ワード線 WL1 を立ち下げることにより、図 5 の動作の 2 倍の信号電圧差を発生する。

図 15 は、本実施例によるメモリアレイの書き込み動作において、ツインセル MCW11 を選択する場合の動作波形を示している。まず、読み出し動作と同様の手順でメモリセル MCW11 を選択する。次に、書き込み回路 WCD が共通データ線 I/OT および I/OB を駆動することにより、書き込み電流 IWCT および IWCB が発生される。ここでは、相補の記憶情報を書き込むので、'1' 書き込みの場合、共通データ線 I/OT にセットパルス(S(1))、共通データ線 I/OB にリセットパルス(RS(1))がそれぞれ発生される。また、'0' 書き込みの場合、共通データ線 I/OT にリセットパルス(RS(0))、共通データ線 I/OB にセットパルス(S(0))がそれぞれ発生される。なお、どちらの記憶情報を書き込む場合においても、メモリセルはセット電流のパルス幅だけ選択状態にある。

以上で述べたメモリアレイおよびメモリセルの構成と動作により、次の二つの効果が得られる。第一に、データ線対の各々にカラム選択スイッチ QATr および QABr を配置し、データ線対に平行なソース線 SLCr の各々に選択トランジスタ QBCr を配置することにより、ツインセルで構成されたメモリアレイにおいても、図 1 で述べたような読み出し動作における消費電力の低減効果が得られる。さらに具体的に説明すると、データ線対とワード線の各交点にツインセルが配置され、データ線対の各々にはプリチャージ用トランジスタ QCTr および QCBcr、ソース線 SLCr の各々にはプリチャージ用トランジスタ QDCr がそれぞれ配置される。このような構成において、一組のカラム選択スイッチを選択す

ると同時に、対応するソース線を駆動することにより、選択ワードと選択ソース線の交点のセルにのみ電流経路を形成し、選択データ線対にのみ相補の読み出し信号を発生することができる。したがって、非選択データ線対の充放電を抑制することにより、ツインセル方式による相変化メモリの消費電力を低減することができる。

第二に、本実施例によるメモリセルは相補の記憶情報を保持するツインセル構造であるため、記憶情報の弁別に特別な参照信号が不要になると共に、大きな読み出し信号量を発生することができる。すなわち、データ線対に発生された相補の読み出し信号のうち、記憶情報と反対極性の読み出し信号を参照電圧として記憶情報を弁別することができるので、参照信号発生回路が不要となり、回路設計が容易になる。また、図1に示したメモリセルの場合の2倍の読み出し信号量が得られるので、高速な読み出し動作が可能となる。したがって、読み出し動作の速い、相変化メモリを実現することが可能となる。

なお、本実施例の適用範囲は相変化メモリに限らず、記憶情報に応じてメモリセルの抵抗値が異なり、データ線を介して流れる電流を検出することにより記憶情報を読み出すような相変化メモリ以外のメモリにも、本発明を適用できる。例えば、磁気抵抗変化率が低いMRAMに適用した場合も、従来の2倍の読み出し信号を発生することができるので、安定した読み出し動作のMRAMを実現することができる。

20 <実施例4>

本実施例では、参照アレイを配置した構成を説明する。本実施例の目的は、図1に示したメモリアレイの読み出し動作に必要な参照信号を発生する手段を提供することにある。以下では、参照信号発生手段の一例としてメモリアレイ毎に参照アレイを配置した構成を、図16に従って説明する。

25 メモリアレイ MA1、MA2 は、図1と同様に $n \times m$ ビットのメモリセルを有する構成が示されている。メモリセル MC は、簡単のためブロック記号で示されて

いるが、具体的には図4に示した従来例と同じように、選択トランジスタ QM とカルコゲナイド材料による可変抵抗による記憶素子 RM で構成される。メモリアレイ MA1 におけるデータ線 DL1r ($r=1, \dots, m$) は NMOS トランジスタを介して共通データ線 I/O1 に接続され、同様に、メモリアレイ MA2 におけるデータ線 DL2r ($r=1, \dots, m$) は共通データ線 I/O2 に接続される。

参照アレイ RA1、RA2 は、ワード線 WLp ($p=1, \dots, n$) と参照データ線 DL1R、DL2R との各交点に参照セル MCRp が配置されてそれぞれなる。参照セルも、簡単のためブロック記号で示されており、具体的にはメモリセル MC と同じ選択トランジスタ QM とカルコゲナイド材料を用いた可変抵抗による記憶素子 RM で構成される。選択トランジスタ QM のソースは、メモリアレイ MA1、MA2 の場合と同じように、参照データ線 DL1R、DL2R に平行に配置されたソース線 SL1R、SL2R に共通に接続される。参照データ線 DL1R とソース線 SL1R には、カラム選択線 YS1R がゲートに共通に接続された NMOS トランジスタ QAR、QBR と、プリチャージ用 NMOS トランジスタ QCR、QDR がそれぞれ配置される。同様に、参照データ線 DL2R とソース線 SL2R には、カラム選択線 YS2R がゲートに共通に接続された NMOS トランジスタ QAR、QBR と、プリチャージ用 NMOS トランジスタ QCR、QDR がそれぞれ配置される。参照アレイ RA1 における参照データ線 DL1R はトランジスタ QAR を介して共通データ線 I/O1、参照アレイ RA2 における参照データ線 DL2R はトランジスタ QAR を介して共通データ線 I/O2 にそれぞれ接続される。したがって、参照アレイ RA1、RA2 は、メモリアレイ MA1 および MA2 からメモリアレイを 1 列取り出したものと同じ構成であり、メモリアレイにおけるデータ線と同じように、列デコーダ YDECR がカラム選択線 YSR1、YSR2 を活性化することにより選択される。ただし、カラム選択トランジスタ QAR が共通データ線 I/O1 または I/O2 と参照データ線 DL1R または DL2R との間に挿入され、トランジスタ QBR、QCR、QDR の各々に参照電圧 VDR が入力されている点が異なる。なお、読み出し回路 RC には、共通データ線 I/O1、I/O2 がそれぞれ接

続され、さらに、列デコーダ YDECR で発生されたメモリアレイ選択信号 MAS1、MAS2 が入力される。

次に、図 1 7 に従い、図 1 6 に示した参照アレイを用いたメモリアレイの読み出し動作を説明する。本実施例による読み出し動作の特徴は、読み出すメモリセルが配置されたメモリアレイの位置に応じて参照アレイが選択され、共通データ線 I/01 または I/02 のどちらか一方に参照電圧 VDR が発生される点である。図 1 7 は、一例として、メモリアレイ MA1 におけるメモリセル MC11 を選択する場合の動作波形を示している。

まず、待機状態において、プリチャージイネーブル信号 PC が電源電圧 VDD (例えば 1.5V) に保持されているので、メモリアレイ MA1、MA2 におけるデータ線 DL1r、DL2r およびソース線 SL1r、SL2r はプリチャージ電圧 VDL、参照アレイ RA1、RA2 における参照データ線 DLR およびソース線 SLR は、NMOS トランジスタ QCR および QDR により参照電圧 VDR に維持される。また、読み出し回路 RC により、共通データ線 I/01 および I/02 がプリチャージ電圧 VDL にそれぞれ
15 プリチャージされる。

次に、読み出し動作が始まると、接地電位 VSS となっているメモリアレイ選択信号 MAS1 が電源電圧 VDD に駆動されて、プリチャージ電圧 VDL となっている共通データ線 I/02 が参照電圧 VDR に駆動される。続いて、電源電圧 VDD となっているメモリアレイ選択信号 MAS1 が接地電位 VSS に駆動された後、メモリアレイ MA1 の選択動作が行われる。ここで、メモリアレイ MA1 は図 1 に示したものと同一構成であるので、カラム選択線 YS11 が活性化されることにより図 5 と同じように、共通データ線 I/01 が記憶情報に応じた速さでソース電圧 VSL に向かって放電される。これに対して、参照アレイ RA2 では、電源電圧 VDD となっているプリチャージイネーブル信号 PC が接地電位 VSS に駆動され、
25 接地電位 VSS となっているカラム選択線 YS2R が昇圧電位 VDH (例えば 1.5 以上) に駆動されることにより、トランジスタ QAR、QBR が導通する。この時、ソー

ス線 SL2R は引き続き参照電圧電源 VDR に接続されるので、参照データ線 DL2R および共通データ線 I/02 は参照電圧 VDR に保持される。したがって、読み出し回路 RC は、共通データ線 I/02 に発生された参照電圧 VDR を基準として、共通データ線 I/01 に発生された正または負の信号を弁別して、記憶情報を読み出す。以上の読み出し動作が終了すると、共通データ線 I/01、I/02 は読み出し回路 RC によりプリチャージ電位 VDL に駆動されて、待機状態に戻る。なお、図 17 はメモリアレイ MA1 における記憶情報を読み出す動作を示しているが、メモリアレイ MA2 におけるメモリセルを選択する場合も、同様な動作が行われる。すなわち、メモリアレイ選択信号 MAS2 が活性化されることにより、プリチャージ電圧 VDL となっている共通データ線 I/01 が参照電圧 VDR に駆動される。次に、メモリアレイ MA2 と参照アレイ RA1 の選択動作を行い、共通データ線 I/02 を記憶情報に応じた電位に駆動することにより、記憶情報を読み出す。

以上で述べたメモリアレイおよびメモリセルの構成と動作により、次の二つの効果が得られる。第一に、メモリセル MC と同じ構成の参照セル MCRp をワード線毎に配置したことにより、ワード線駆動雑音を相殺できる点である。一般に、記憶装置は、ワード線を電源電圧以上のパルスで駆動するのに対して、データ線に発生する数百 mV の微小信号電圧を分別するので、これらの交点の容量を介してワード線からデータ線に結合する雑音が問題となる。本実施例を用いれば、同相の雑音を読み出しデータ線と参照データ線に重畳されるので、この雑音を相殺することができる。したがって、信号マージンを確保することができて、安定した読み出し動作が可能となる。

第二に、メモリアレイ MA と参照アレイ RA が共通データ線 I/0 を共有することにより、共通データ線における寄生容量の平衡をとることができる点である。すなわち、共通データ線 I/0 に接続されたカラム選択スイッチ用 NMOS トランジスタ QAr および QAR の個数を同数とすることにより、トランジスタの拡散容量が等しくなるので、雑音を抑制することができて、さらに安定した読み出し

動作が可能となる。

なお、信号マージンが大きく、共通データ線容量の不均衡による雑音の影響が小さい場合は、メモリアレイと参照アレイが共通データ線を共有する構成にしなくとも良い。この場合は、選択するメモリアレイの位置に応じて共通データ線の電位を設定し直す必要がなく、プリチャージを止めてから直ぐに選択動作を行えるので、読み出し時間を短縮することができる。また、本実施例の適用範囲は相変化メモリに限らず、記憶情報に応じてメモリセルの抵抗値が異なり、データ線を介して流れる電流を検出することにより記憶情報を読み出すような相変化メモリ以外のメモリにも、本発明を適用できる。例えば、例えば、
5 磁気抵抗変化率が低いMRAMに適用した場合も、ワード駆動雑音の相殺と、共通ワード線容量不平衡により発生する雑音の抑制を行うことができ信号マージンが増えるので、安定した読み出し動作のMRAMを実現することができる。

以上、種々の実施例について、図1に示したように記憶素子RMと選択トランジスタQMの順に直列接続した構成のメモリセルMCを、データ線DLとソース線SLとの間に挿入したアレイ構成を基に説明してきた。しかし、このメモリセル構成では、記憶素子の抵抗変化率が大きい場合、データ線と非選択メモリセル内部における寄生容量の結合の度合いが記憶情報によって変化して見える。例えば、メモリセルMC11を選択する際の非選択メモリセルMC21～MCn1
15 の抵抗値が高い場合と低い場合とを考えると、後者の方の結合が強く見えて、データ線容量が大きくなる。したがって、後者の場合の方が、読み出し速度が遅い。このような問題を避けるには、素子の接続順を変えて、選択トランジスタQMと記憶素子RMの順に直列接続したメモリセル構成とするのが望ましい。この構成は、非選択メモリセル内の寄生容量が選択トランジスタによってデータ線から切り離されるので、データ線容量を一定値に抑制し、読み出し速度の
20 低下を防ぐことができる。また、このようなメモリセル構成を用いたメモリア

レイにおいても、本発明により、これまで述べてきた実施例と同様の効果が得られる。

本発明のメモリアレイ構成は、これまで説明してきた種々の実施例について共通に、メモリセルに低しきい値電圧の選択トランジスタを用いても待機電流
5 の増加を回避できるという効果も得られる。これは、待機状態において、データ線 DL とソース線 SL の電位を共通のプリチャージ電位 VDL に保持しているの
で、選択トランジスタのしきい値電圧が如何なる値であっても、メモリセルに
は電流が流れないためである。選択トランジスタのしきい値電圧を下げること
により、コンダクタンスが大きくなる。それにより、読出し電流が増加して、
10 動作速度の速い相変化メモリやMRAMを実現することができる。また、記憶
素子と選択トランジスタの直列抵抗で定まる実効的な抵抗変化率が大きくな
り、S/N比が向上する。したがって、高S/Nの高速動作と待機時の消費電
力抑制を両立した相変化メモリやMRAMを実現することができる。なお、図
5 に示した読み出し動作に関連して説明したように、ワード線の待機電圧をソ
15 ース電圧 VSL よりも低く設定することにより、選択トランジスタのしきい値電
圧を、非選択ワード線上のメモリセルに流れる電流が動作に影響を及ぼさない
値にまで、さらに下げることが可能である。それにより、一層の高速化と高S
/N化が実現できる。

20

産業上の利用可能性

本発明は記憶回路、特に相変化メモリやMRAM（マグネトレジスティブ・ランダム・アクセス・メモリ）等に好適に適用可能である。

請求の範囲

1. 記憶装置であって、

複数のワード線と、

5 前記複数のワード線に交差する複数のデータ線と、

前記複数のワード線に交差し、各々が前記複数のデータ線の一つに対をなすように設けられた複数の制御線と、

前記複数のワード線と前記複数のデータ線との交点に配置され、記憶情報に応じて抵抗が変化する記憶素子と第1トランジスタをそれぞれ含む複数のメモ

10 リセルと、

前記複数のデータ線と前記複数の制御線を第1電位にプリチャージするためのプリチャージ回路と、

共通データ線と、

前記複数のデータ線の一つを選択して前記共通データ線に接続するための

15 第1スイッチ回路と、

前記複数のデータ線の内選択されたデータ線に対応する前記複数の制御線の一つを選択して第2電位に駆動するための第2スイッチ回路とを備え、

前記複数のワード線のうちの選択されたワード線と、前記複数のデータ線のうちの選択されたデータ線と、前記複数の制御線のうちの選択された制御線と
20 の交点に存在する前記複数のメモリセルの一つが選択される記憶装置。

2. 請求項1において、

前記記憶装置の待機時において、前記プリチャージ回路は、前記複数のデータ線及び前記複数の制御線を前記第1電位にプリチャージし、

前記記憶装置の読み出し時において、前記プリチャージ回路はプリチャージ
25 を停止し、前記第1スイッチ回路は前記複数のデータ線の一つを選択して前記共通データ線に接続するとともに、前記第2スイッチ回路は前記選択されたデ

ータ線と対をなす複数の制御線の一つを選択して前記第 2 電位に接続することにより、

前記選択されたデータ線と前記選択された制御線との間に電位差を発生する記憶装置。

5 3. 請求項 1 において、

前記プリチャージ回路は、前記第 1 電位を供給するための第 1 電源線と前記複数のデータ線との間に配置された複数の第 1 トランジスタと、前記第 1 電源線と前記複数の制御線との間に配置された複数の第 2 トランジスタを含み、

前記第 1 スイッチ回路は、前記共通データ線と前記複数のデータ線との間に
10 配置された複数の第 3 トランジスタを含み、

前記第 2 スイッチ回路は、前記第 2 電位を供給するための第 2 電源線と前記複数の制御線との間に配置された複数の第 4 トランジスタを含み、

前記記憶装置の待機時において、前記複数の第 1 トランジスタと前記複数の第 2 トランジスタが導通することにより、前記複数のデータ線及び前記複数の
15 制御線を前記第 1 電位にプリチャージし、

前記記憶装置の読み出し時において、前記複数の第 1 トランジスタと前記複数の第 2 トランジスタはオフ状態となり、前記複数の第 3 トランジスタの一つは前記複数のデータ線の一つを選択して前記共通データ線に接続するとともに、前記第 4 トランジスタは前記選択されたデータ線と対をなす複数の制御線
20 の一つを選択して前記第 2 電源線に接続することにより、

前記選択されたデータ線と前記選択された制御線との間に電位差を発生する記憶装置。

4. 請求項 2 において、

前記記憶装置の待機時における前記複数のワード線の電位は、前記第 1 電位
25 よりも低いことを特徴とする記憶装置。

5. 請求項 4 において、

前記第1トランジスタのしきい値電圧は、前記記憶装置の制御回路を構成する複数の第2トランジスタのしきい値電圧よりも低い記憶装置。

6. 請求項1において、前記記憶装置は、前記共通データ線に接続された読み出し回路を更に有する記憶装置。

5 7. 請求項1において、

前記メモリセルの前記第1トランジスタはMOSトランジスタであり、前記MOSトランジスタのソースは対応する前記複数の制御線の一つに接続され、前記メモリセルの前記記憶素子は2つのノードを持つ抵抗素子であり、一方のノードが対応する前記複数のデータ線の一つに接続され、他方のノードが前記MOSトランジスタのドレインに接続される記憶装置。

8. 請求項1において、

前記メモリセルの前記第1トランジスタはMOSトランジスタであり、前記MOSトランジスタのドレインは対応する前記複数のデータ線の一つに接続され、

15 前記メモリセルの前記記憶素子は2つのノードを持つ抵抗素子であり、一方のノードが対応する前記複数の制御線の一つに接続され、他方のノードが前記MOSトランジスタのソースに接続される記憶装置。

9. 請求項7において、

前記MOSトランジスタは、ソースとドレイン間の電流経路が対応する前記複数のデータ線の一つに対して斜めに形成される構造を持つ記憶装置。

10. 請求項7において、

前記選択トランジスタのMOSトランジスタは、ソースとドレイン間の電流経路が半導体基板表面に垂直な方向に形成される構造を持つ記憶装置。

11. 請求項7において、

25 前記記憶素子の抵抗素子は、ジュール熱を印加することにより結晶状態が変化し、その抵抗値が結晶状態に応じて変化する記憶装置。

1 2. 請求項 1 において、

前記記憶素子は、カルコゲナイド材料を含む記憶装置。

1 3. 記憶装置であって、

複数のワード線と、

5 前記複数のワード線に交差する複数のデータ線と、

前記複数のワード線と前記複数のデータ線との交点に配置され、記憶情報に応じて抵抗が変化する記憶素子と MOS トランジスタをそれぞれ含む複数のメモリセルとを備え、

前記 MOS トランジスタは、ソースとドレイン間の電流経路が対応する前記

10 複数のデータ線の一つに対して斜めに形成される構造を持ち、

前記複数のワード線のうちの選択されたワード線に接続された前記複数のメモリセルが選択される記憶装置。

1 4. 請求項 1 3 において、

前記メモリセルの前記記憶素子は 2 つのノードを持つ抵抗素子であり、一方

15 のノードが対応する前記複数のデータ線の一つに接続され、他方のノードが前記 MOS トランジスタのドレインに接続される記憶装置。

1 5. 請求項 1 3 において、

前記 MOS トランジスタのドレインは対応する前記複数のデータ線の一つに接続され、

20 前記メモリセルの前記記憶素子は 2 つのノードを持つ抵抗素子であり、一方のノードが前記 MOS トランジスタのソースに接続される記憶装置。

1 6. 請求項 1 4 において、

前記複数のワード線に交差し、各々が前記複数のデータ線の一つに対をなすように設けられた複数の制御線と、

25 前記複数のデータ線と前記複数の制御線を第 1 電位にプリチャージするためのプリチャージ回路と、

共通データ線と、

前記複数のデータ線の一つを選択して前記共通データ線に接続するための第1スイッチ回路と、

前記複数のデータ線の内選択されたデータ線に対応する前記複数の制御線
5 の一つを選択して第2電位に駆動するための第2スイッチ回路とを備え、
前記複数のワード線のうちの選択されたワード線と、前記複数のデータ線の
うちの選択されたデータ線と、前記複数の制御線のうちの選択された制御線と
の交点に存在する前記複数のメモリセルの一つが選択される記憶装置。

17. 請求項16において、

10 前記記憶装置の待機時において、前記プリチャージ回路は、前記複数のデータ線及び前記複数の制御線を前記第1電位にプリチャージし、

前記記憶装置の読み出し時において、前記プリチャージ回路はプリチャージ
を停止し、前記第1スイッチ回路は前記複数のデータ線の一つを選択して前記
共通データ線に接続するとともに、前記第2スイッチ回路は前記選択されたデ
15 ータ線と対をなす複数の制御線の一つを選択して前記第2電位に接続するこ
とにより、

前記選択されたデータ線と前記選択された制御線との間に電位差を発生す
る記憶装置。

18. 請求項16において、

20 前記プリチャージ回路は、前記第1電位を供給するための第1電源線と前記
複数のデータ線との間に配置された複数の第1トランジスタと、前記第1電源
線と前記複数の制御線との間に配置された複数の第2トランジスタを含み、
前記第1スイッチ回路は、前記共通データ線と前記複数のデータ線との間に
配置された複数の第3トランジスタを含み、

25 前記第2スイッチ回路は、前記第2電位を供給するための第2電源線と前記
複数の制御線との間に配置された複数の第4トランジスタを含み、

前記記憶装置の待機時において、前記複数の第1トランジスタと前記複数の第2トランジスタが導通することにより、前記複数のデータ線及び前記複数の制御線を前記第1電位にプリチャージし、

前記記憶装置の読み出し時において、前記複数の第1トランジスタと前記複数の第2トランジスタはオフ状態となり、前記複数の第3トランジスタの一つは前記複数のデータ線の一つを選択して前記共通データ線に接続するとともに、前記第4トランジスタは前記選択されたデータ線と対をなす複数の制御線の一つを選択して前記第2電源線に接続することにより、

前記選択されたデータ線と前記選択された制御線との間に電位差を発生する記憶装置。

19. 請求項14において、

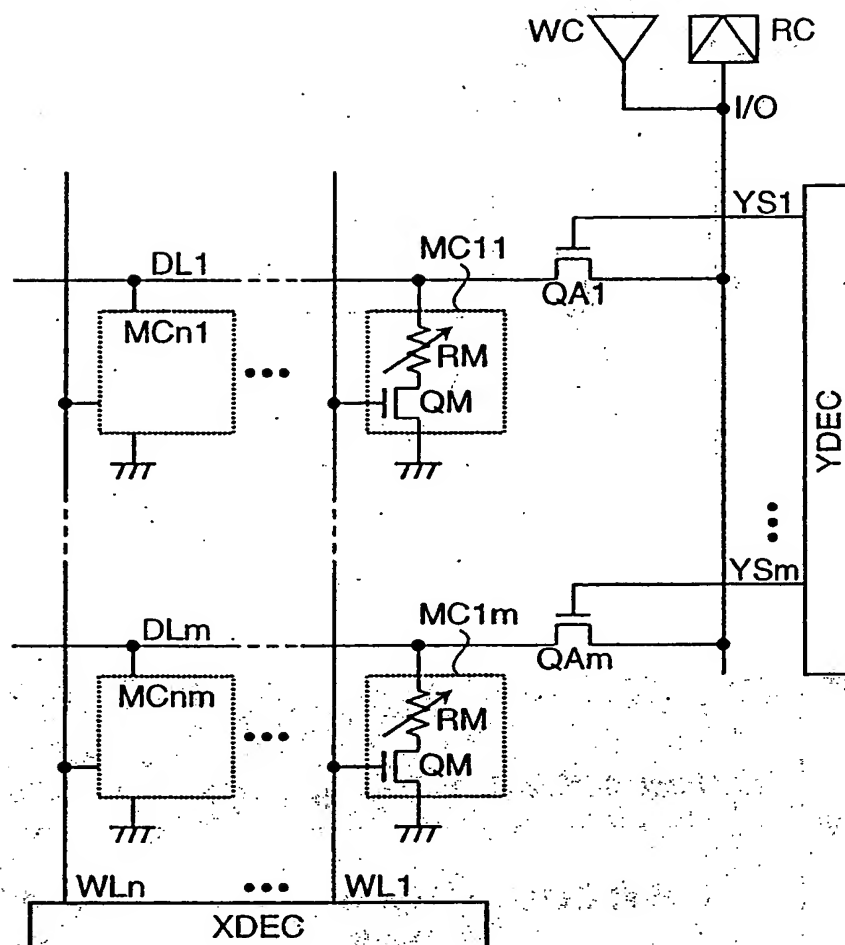
前記記憶素子の抵抗素子は、ジュール熱を印加することにより結晶状態が変化し、その抵抗値が結晶状態に応じて変化する記憶装置。

20. 請求項13において、

15 前記記憶素子は、カルコゲナイド材料を含む記憶装置。

2/15

図2



3/15

図3

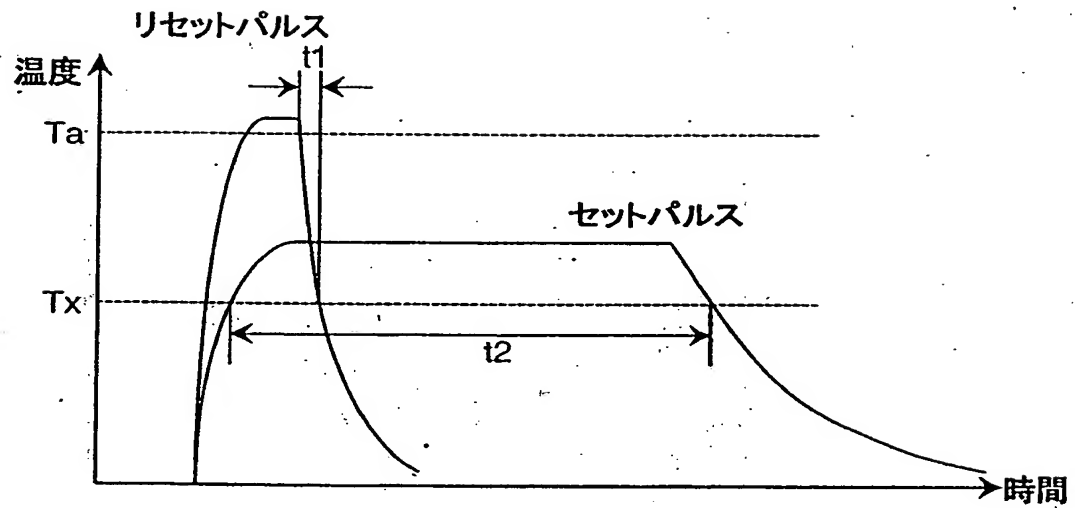
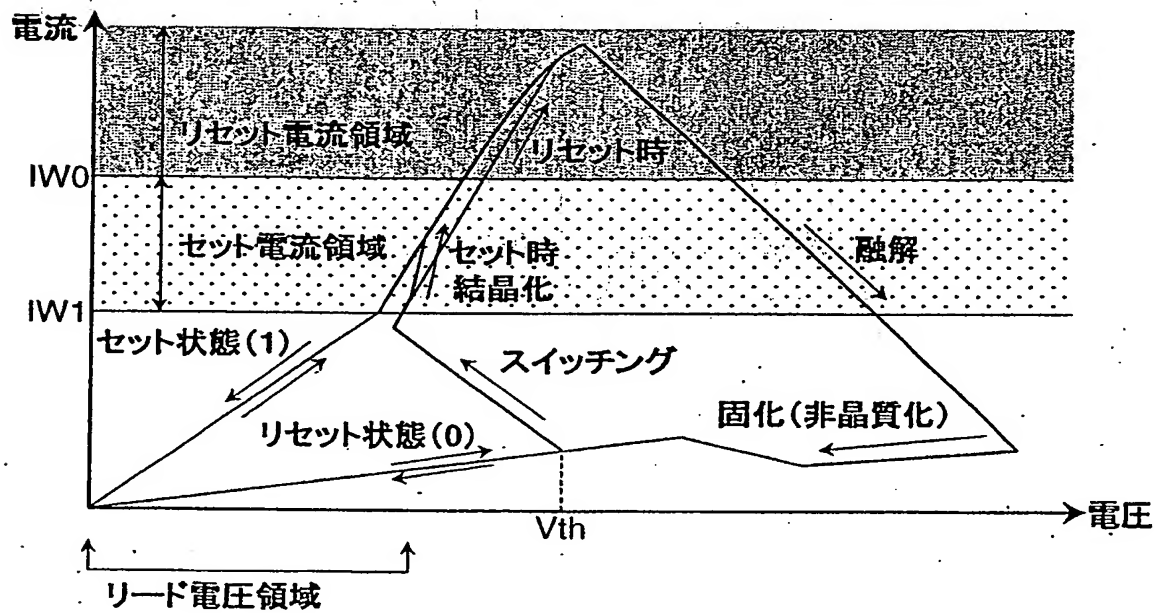


図4



4/15

図5

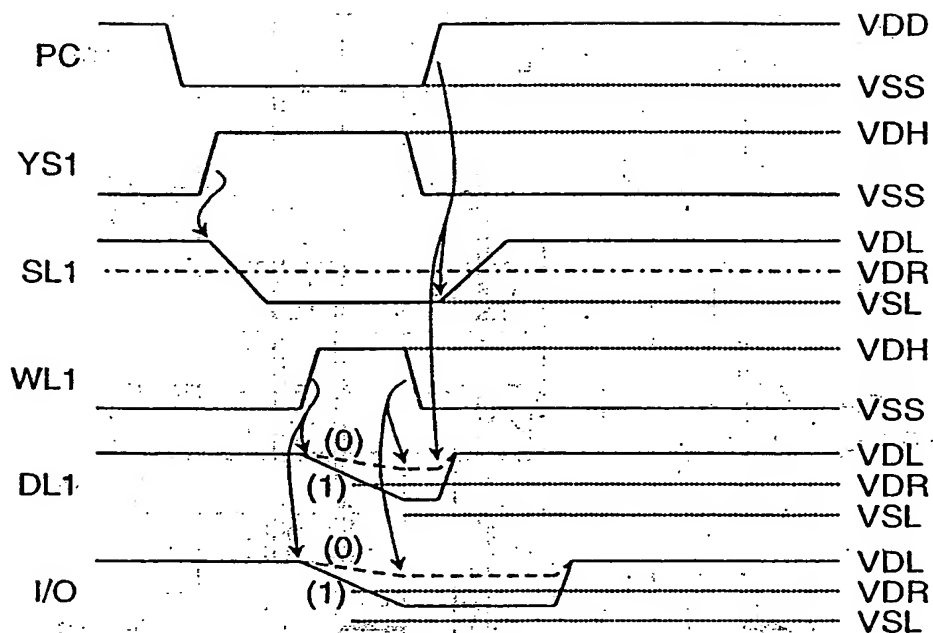
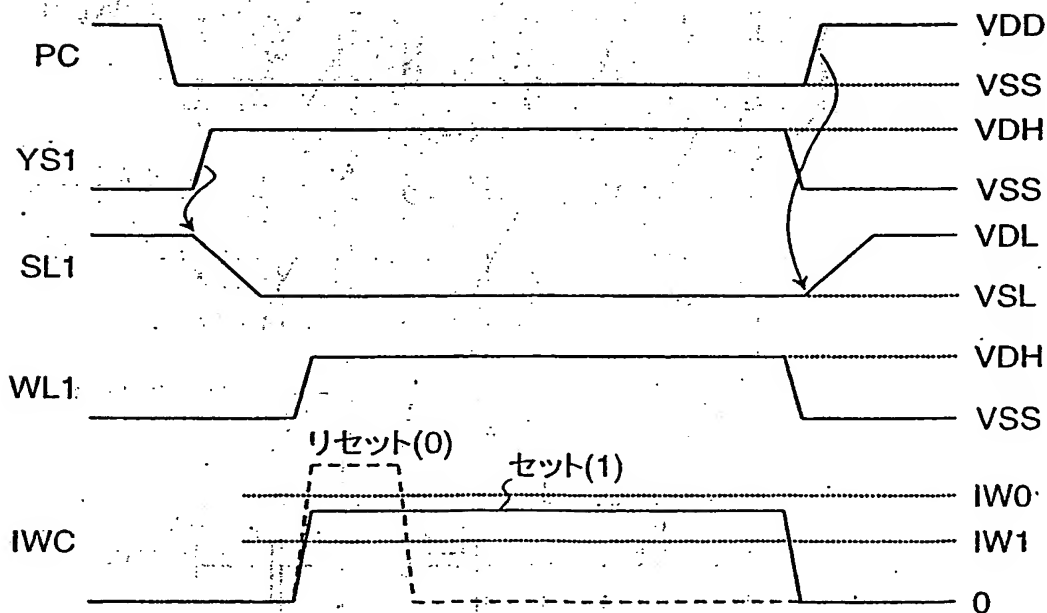
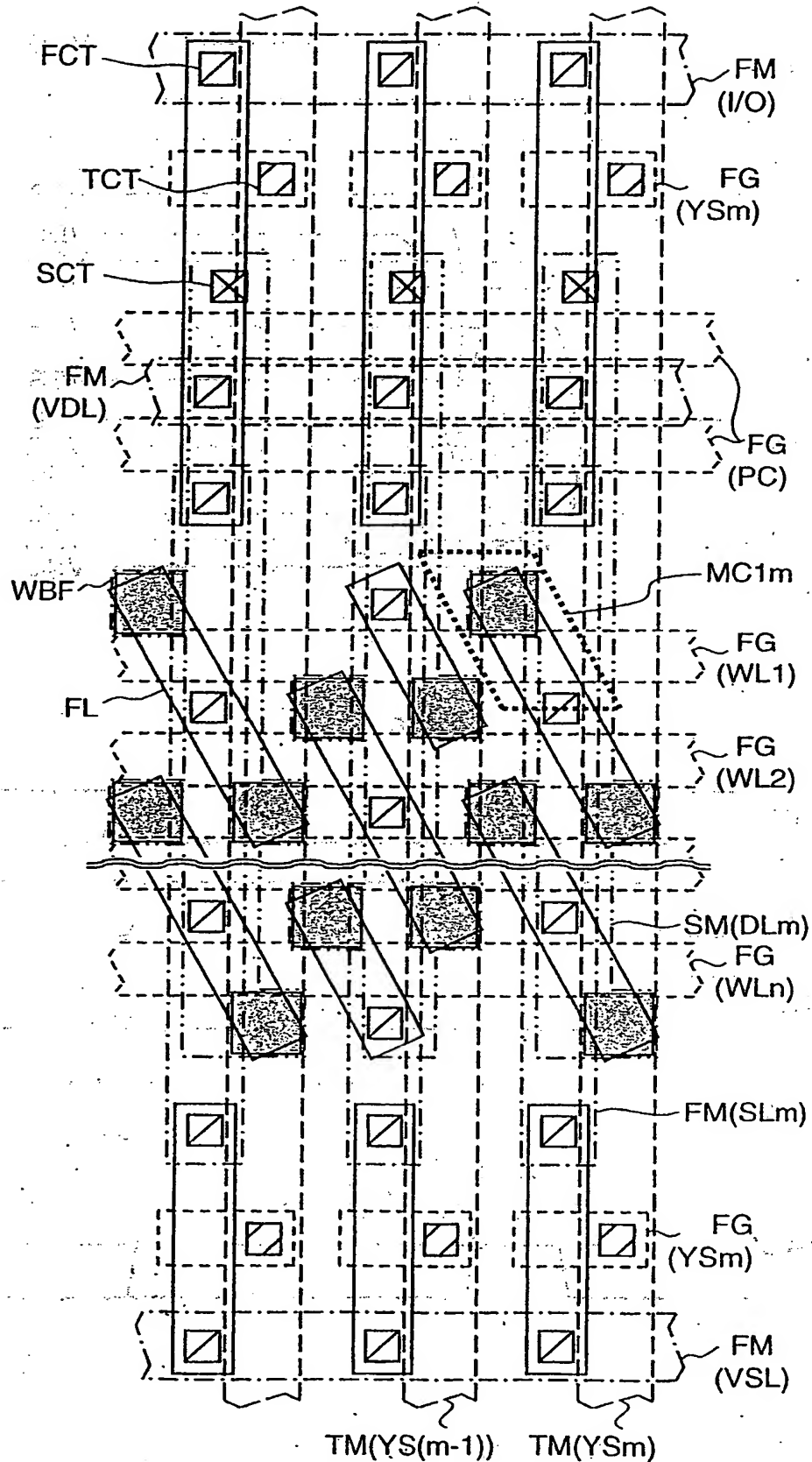


図6



5/15

図7



6/15

図8

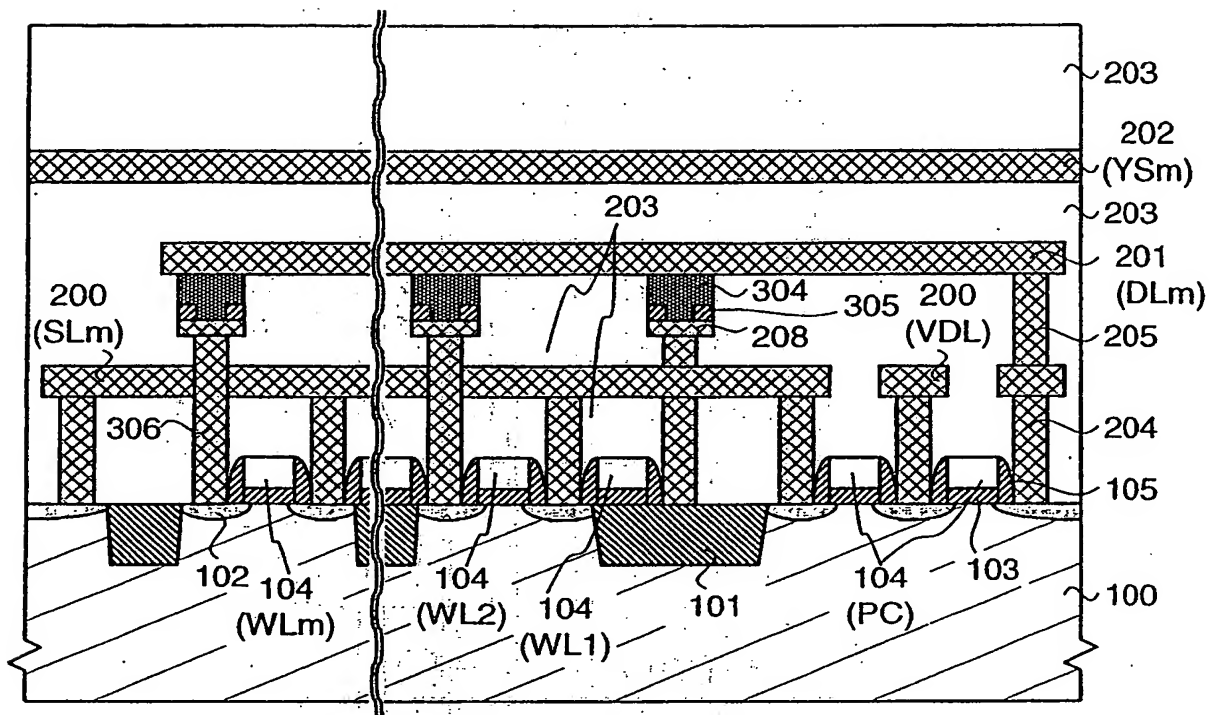
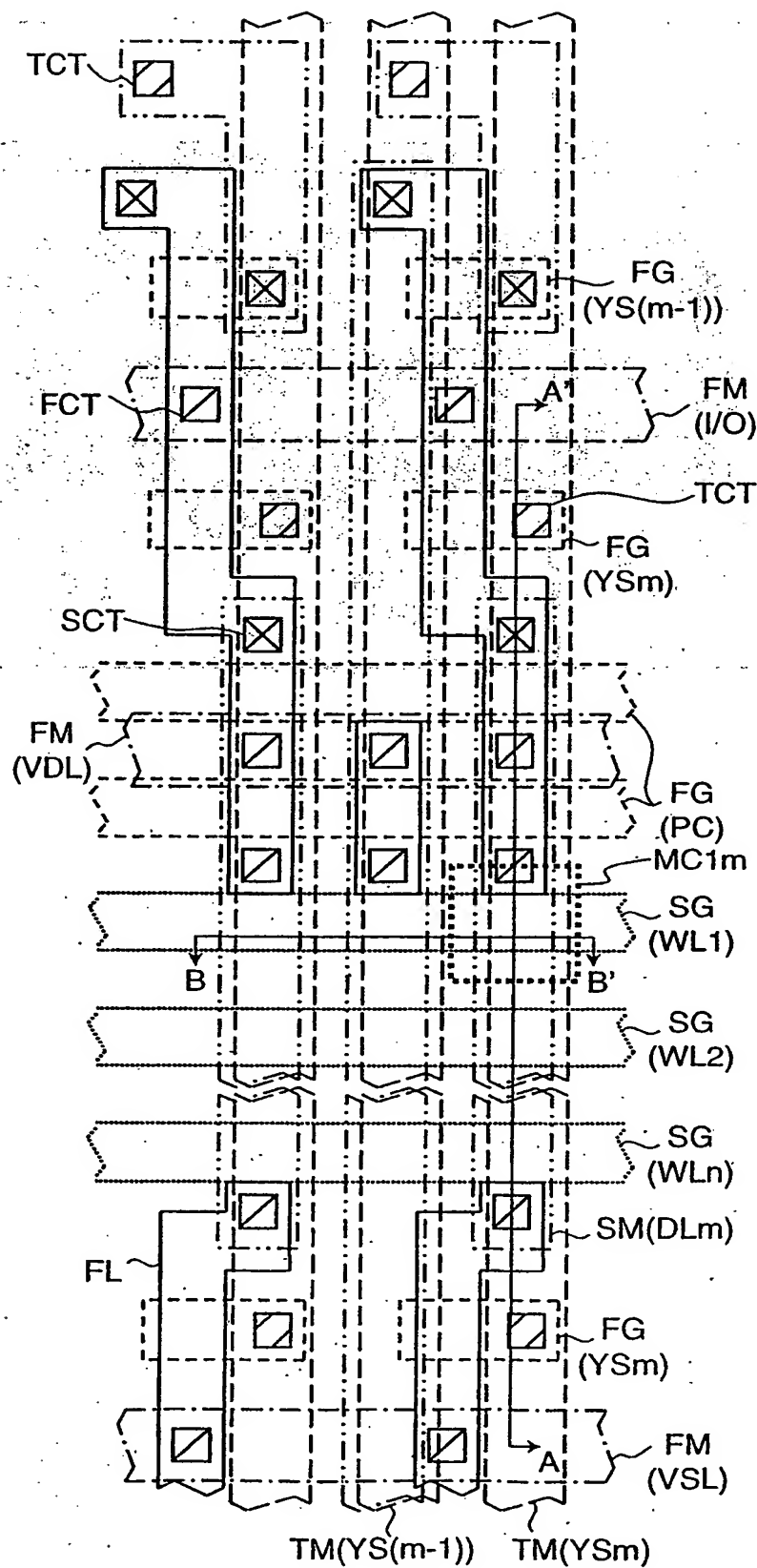
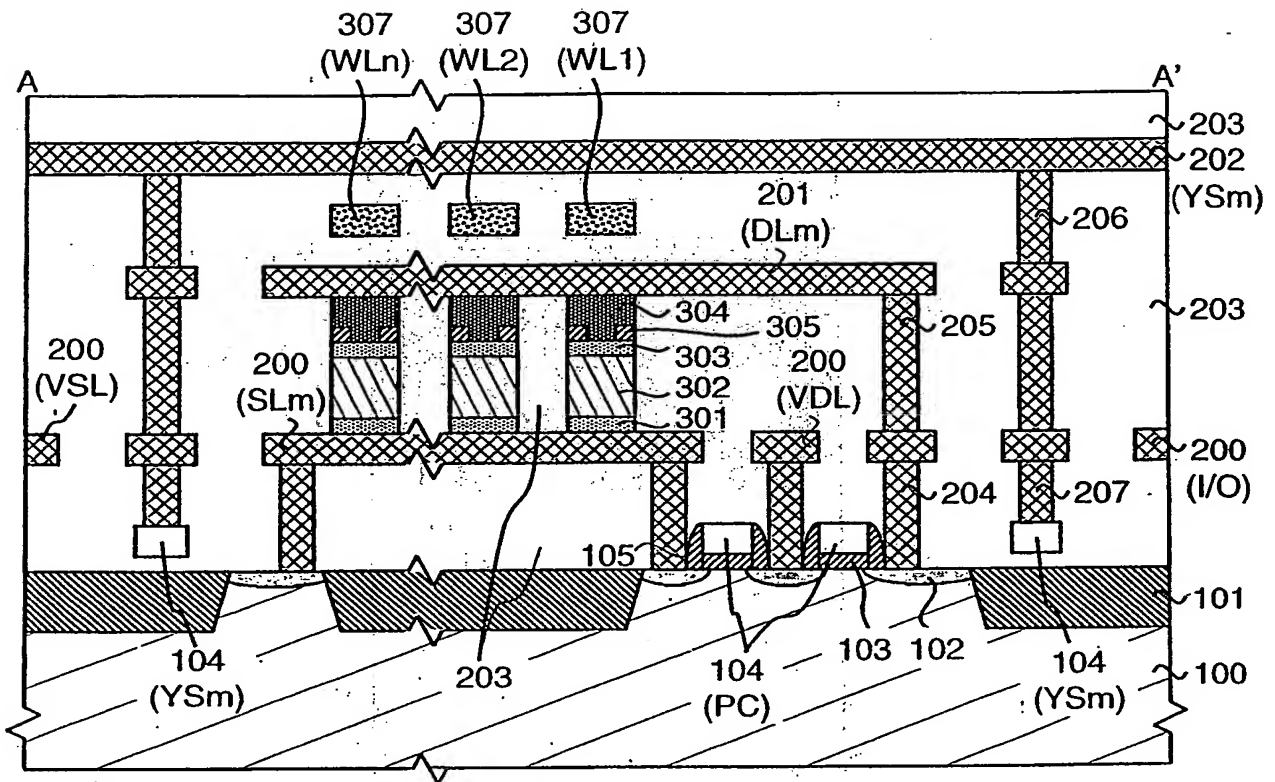


图9



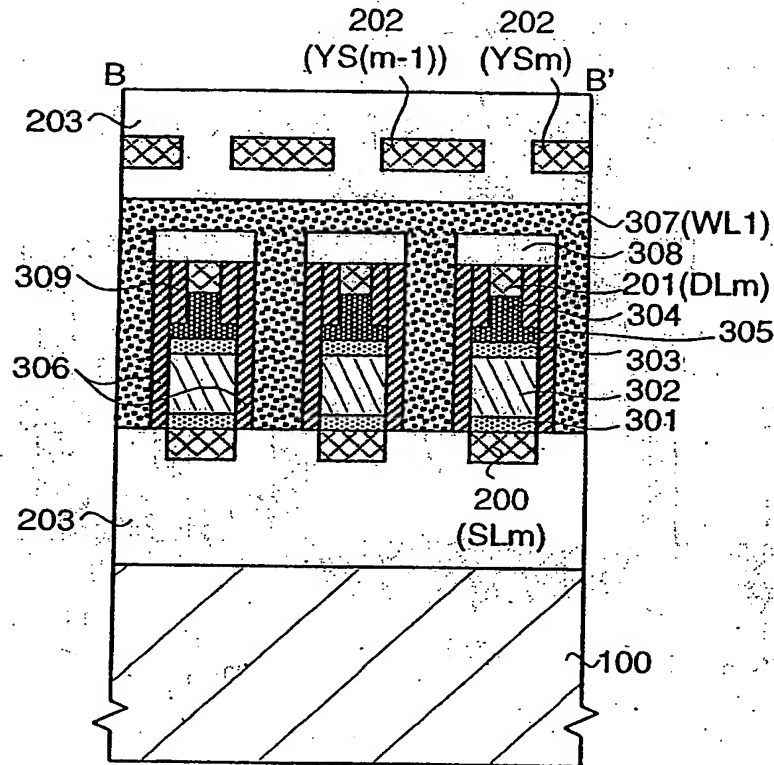
8/15

図10



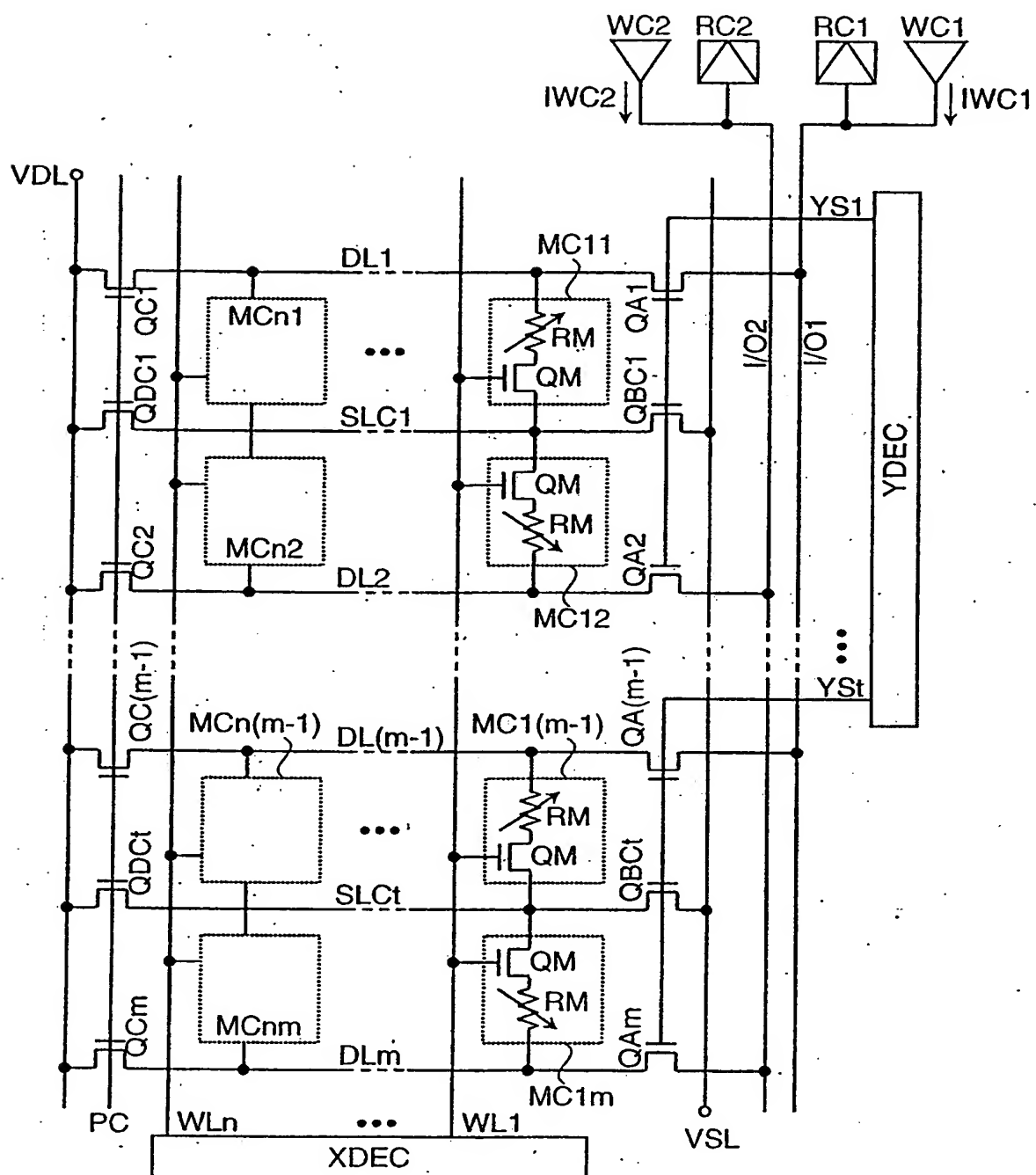
9/15

図 11



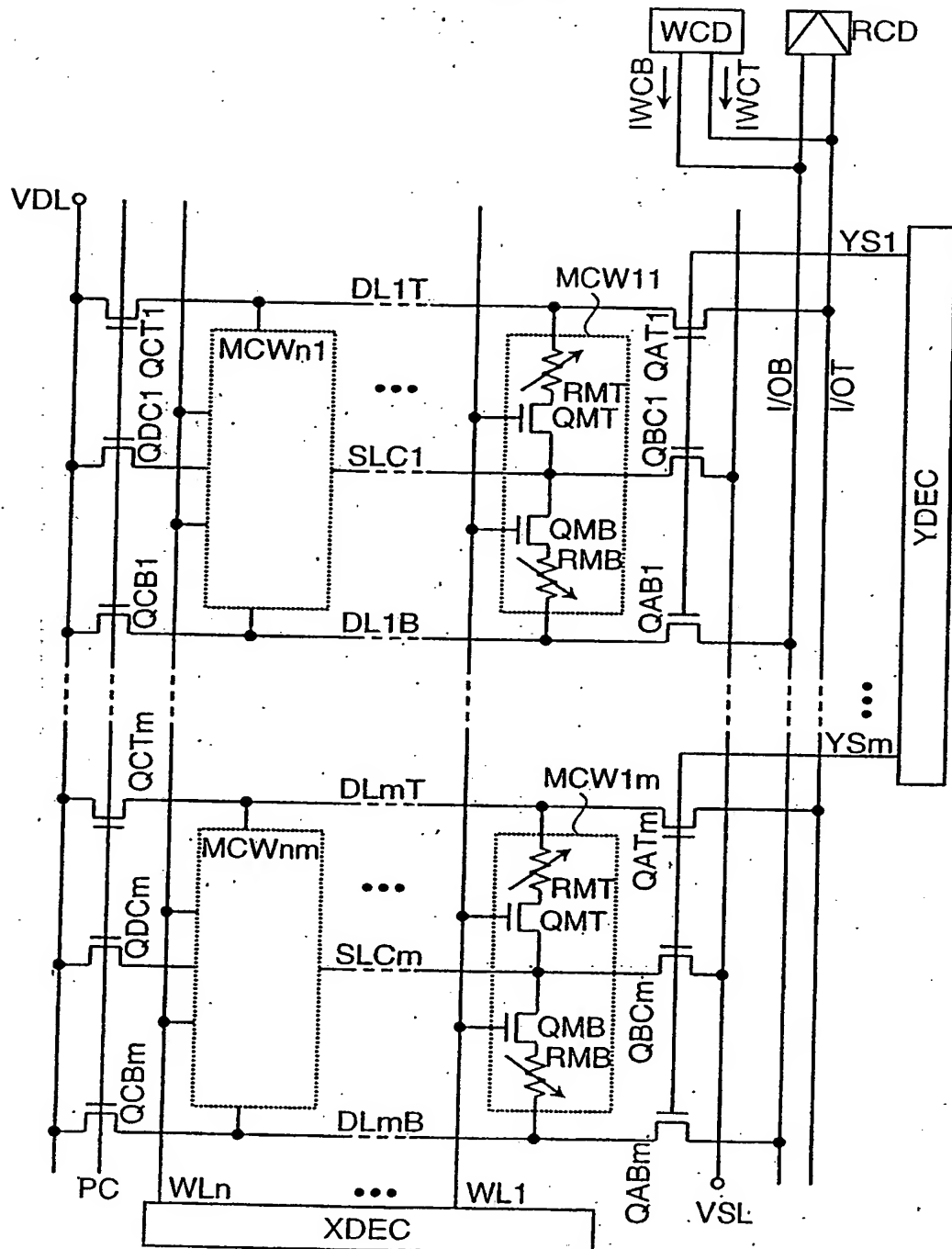
10/15

図12



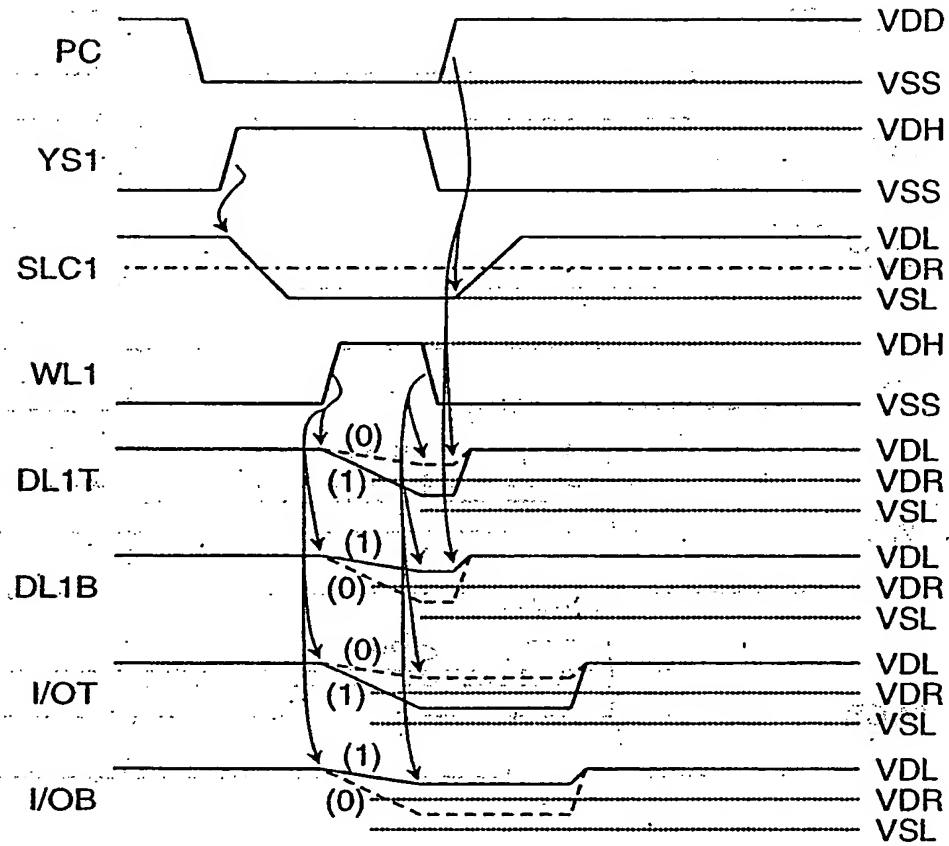
11/15

図13



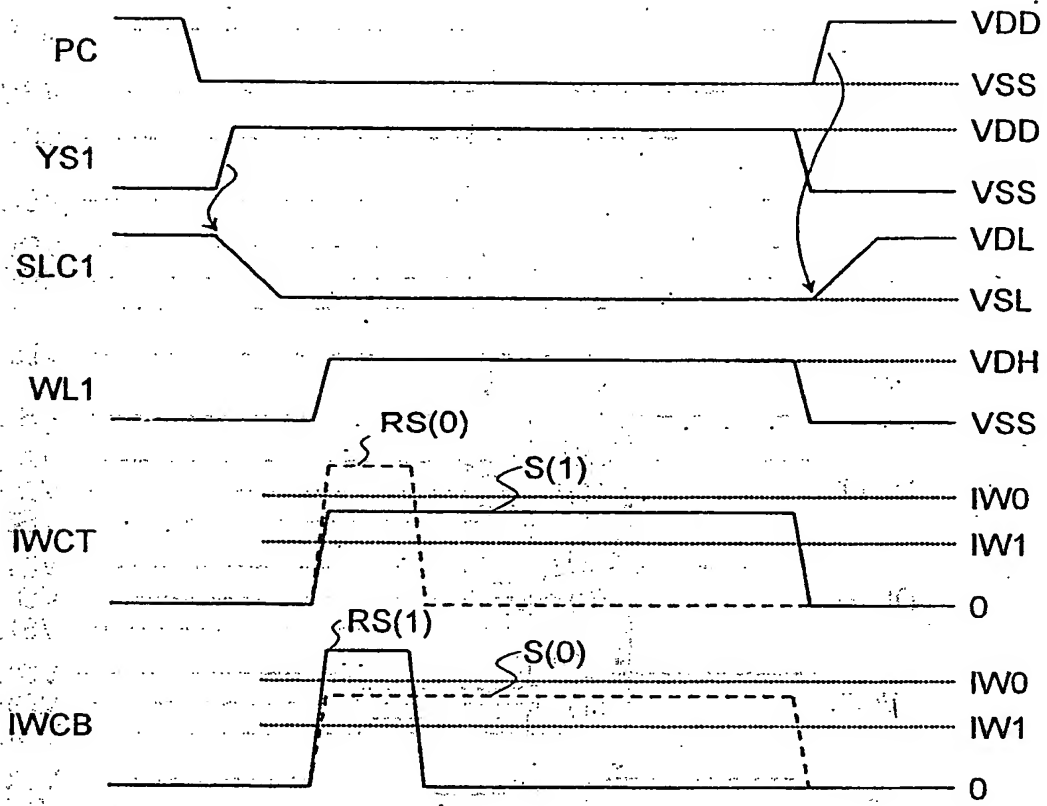
12/15

図14



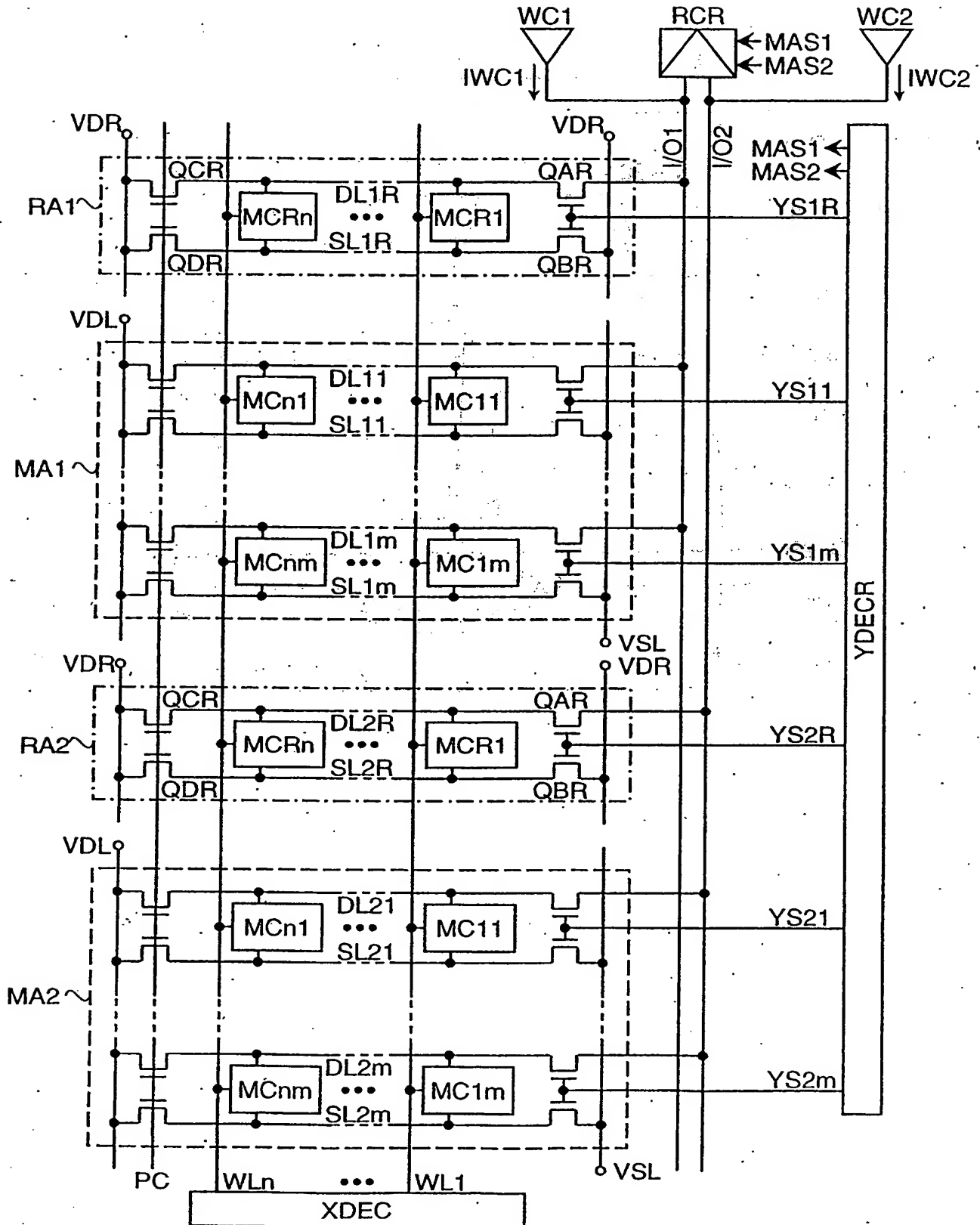
13/15

図15



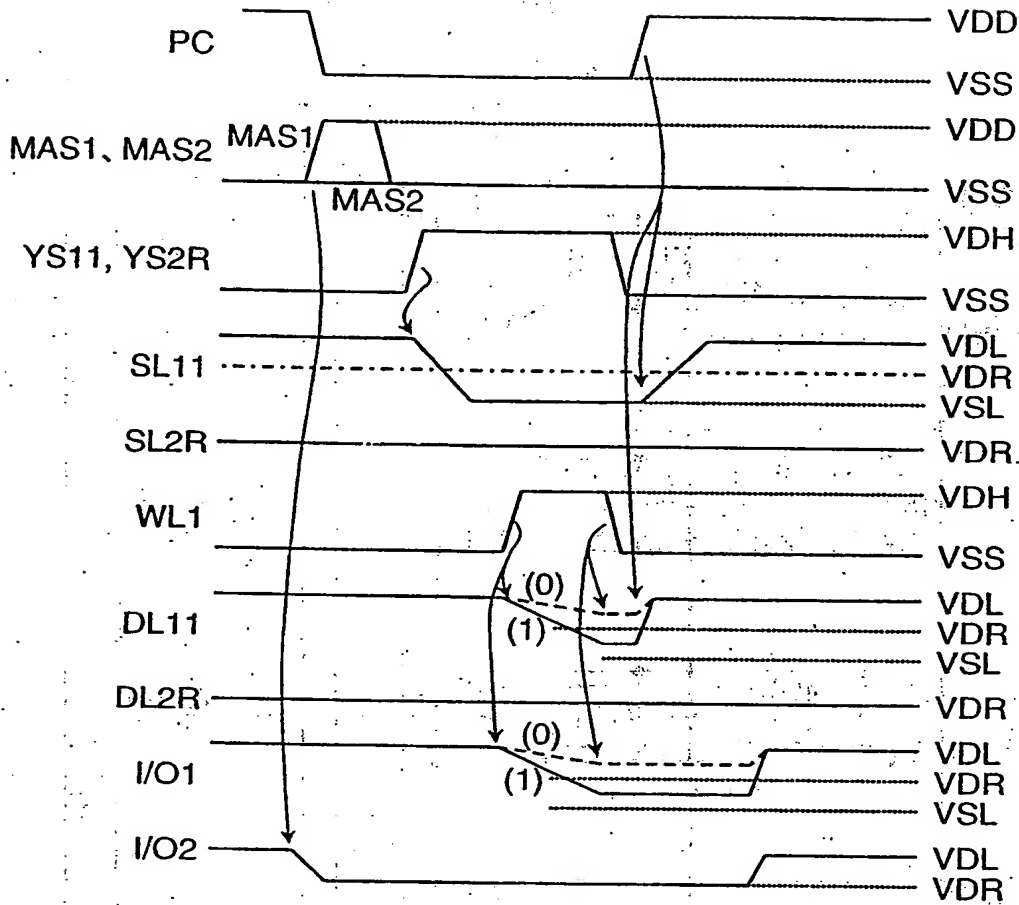
14/15

図 16



15/15

図17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09438

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/21, G11C13/00, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/21, G11C13/00, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2002 |
| Kokai Jitsuyo Shinan Koho | 1971-2002 | Toroku Jitsuyo Shinan Koho | 1994-2002 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | WO 00/57498 A1 (ENERGY CONVERSION DEVICES, INC.), 28 September, 2000 (28.09.00), Page 12, lines 4 to 14; Fig. 4 & EP 1171920 A & US 2002/0017701 A1 & US 2002/0036931 A1 | 1-12, 16-18 |
| A | JP 54-88739 A (Burroughs Corp.), 14 July, 1979 (14.07.79), Full text; all drawings & US 4177475 A | 1-12, 16-18 |

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 December, 2002 (13.12.02)Date of mailing of the international search report
24 December, 2002 (24.12.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09438

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to claims 1-12, 16-18 and claims 13-15, 19-20 is "a storage device including a plurality of word lines, a plurality of data lines intersecting the word lines, and a plurality of memories each having a storage element whose resistance varies depending on the storage information and a transistor which are arranged at the intersections of the word lines and the data lines." However, this technical feature is not novel since it is disclosed in document US Patent 5883827, Fig. 12 cited by the applicant and makes no contribution over the prior art. Consequently, the common technical feature is not a special technical feature within the meaning of PCT Rule 13.2, second sentence. (Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 to 12 and 16 to 18

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09438

Continuation of Box No.II of continuation of first sheet(1)

Therefore, there exists no common feature between claims 1-12, 16-18 and claims 13-15, 19-20.

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求の範囲1-12, 16-18と請求の範囲13-15, 19-20に共通の事項は、「記憶装置であって、複数のワード線と、前記複数のワード線に交差する複数のデータ線と、前記複数のワード線と前記複数のデータ線との交点に配置され、記憶情報に応じて抵抗が変化する記憶素子とトランジスタをそれぞれ含む複数のメモリとを備えた」という構成であるが、前記構成は出願人提示文献2の米国特許第5883827号の第12図に記載されているように公知であり、先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。

それ故、請求の範囲1-12, 16-18と請求の範囲13-15, 19-20に共通の事項はない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。
請求の範囲1-12, 16-18

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。